

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11194924 A

(43) Date of publication of application: 21.07.99

(51) Int. Cl. G06F 7/00
G06F 15/18
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792
H03K 19/20

(21) Application number: 09361465

(22) Date of filing: 26.12.97

(54) SEMICONDUCTOR DEVICE AND CONTROL METHOD THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a device application example that can exhibit the possibility of system evolution by a genetic algorithm(GA) fully and to provide a control (logic definition) for prompting autonomous evolution.

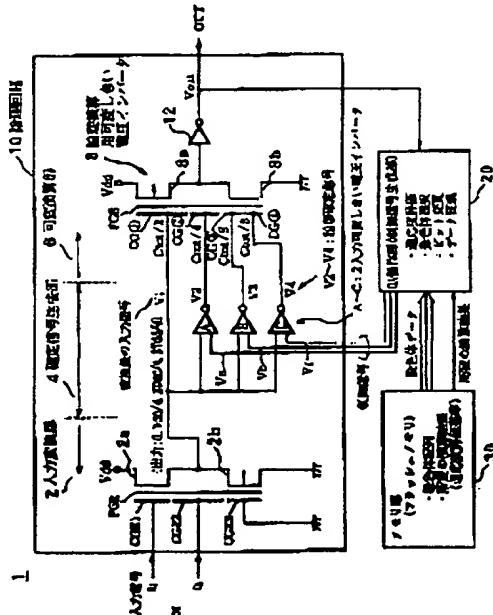
SOLUTION: This device has a logic circuit 10 which can change operation logic and a control signal generation part 20 for generation the control signal by a GA. The logic circuit 10 consists of an input conversion part 2 for converting plural input signals into a voltage of plural levels, an definition signal generation part 4 for generating a logic definition signal (V2 or the like) on the basis of an input signal V1 after conversion, and a variable operation part 6 for executing a logical operation of a specified function decided in accordance with the logic definition signal with the input signal after conversion. The control signal generation part 20 executes selection and/or change of a voltage level on the basis of the result obtained when each voltage level of prepared voltage level group is inputted to the logic circuit 10, by

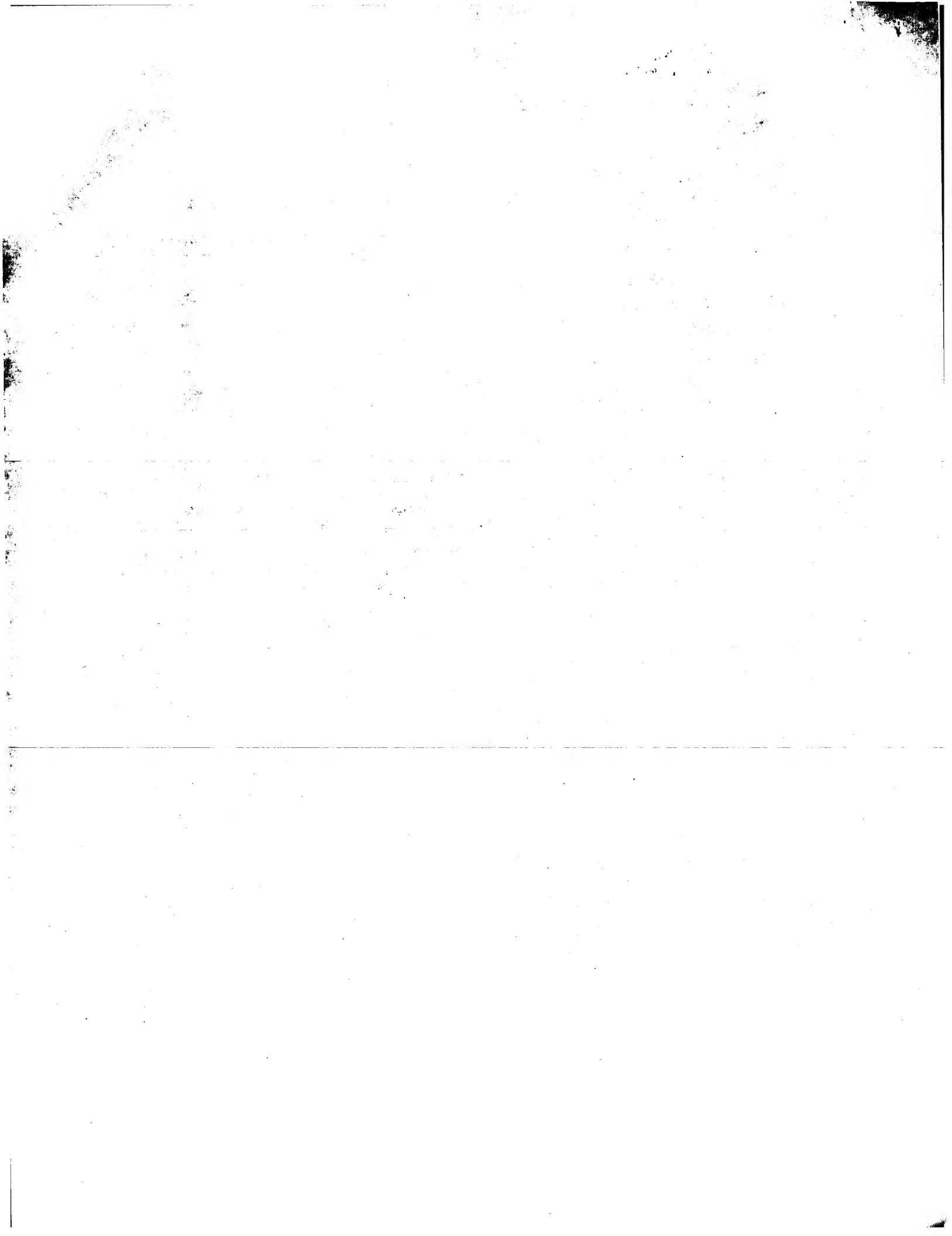
(71) Applicant: **SONY CORP**

(72) Inventor: SUGIYAMA HISANOBU

taking this as the control signal, repeats this until a desired operation result is obtained, and the voltage level group is made to autonomously converge.

COPYRIGHT: (C)1999,JPO





(51) Int.Cl.^a
G 0 6 F 7/00
15/18
H 0 1 L 27/115
21/8247
29/788

識別記号

F I		
G 0 6 F	7/00	A
	15/18	5 5 0 C
H 0 3 K	19/20	
H 0 1 L	27/10	4 3 4
	29/78	3 7 1

審査請求 未請求 請求項の数25 O.L (全 21 頁) 最終頁に統ぐ

(21) 出願番号 特願平9-361465

(22)出願日 平成9年(1997)12月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 杉山 寿伸

東京都品川区北品川6丁目7番35号 ソニービル
一株式会社内

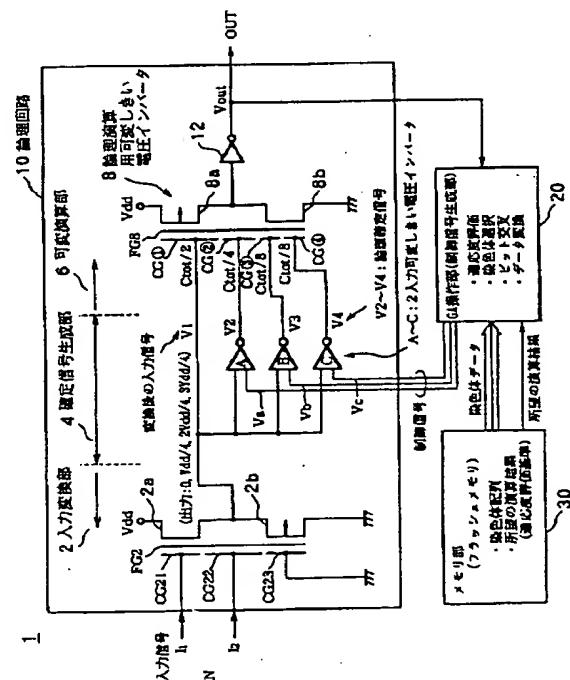
(74) 代理人 斧理士 佐藤 隆久

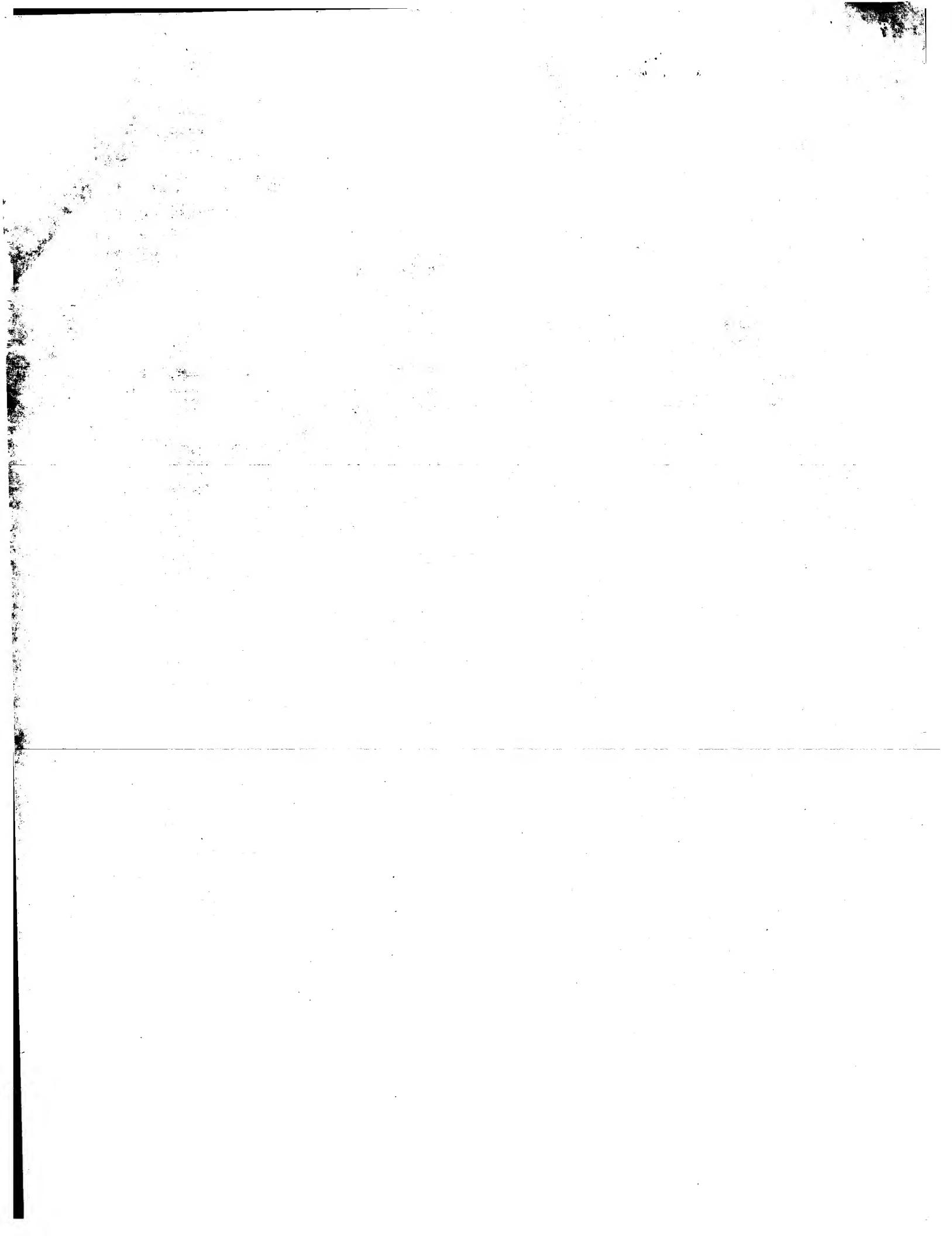
(54) 【発明の名称】 半導体装置及びその制御方法

(57) 【要約】

【課題】GAによるシステム進化の可能性を充分に發揮できるデバイス適用例を示し、また自律進化を促進する制御（論理確定）手法を提供する。

【解決手段】演算論理の変更が可能な論理回路10と、その制御信号をGAによって生成する制御信号生成部20とを有する。論理回路10は、複数の入力信号を複数レベルの電圧に変換する入力変換部2と、制御信号(Va等)と変換後の入力信号V1とに基づいて論理確定信号(V2等)を生成する確定信号生成部4と、論理確定信号に応じて決まる所定関数の論理演算を変換後の入力信号に対して実行する可変演算部6とからなる。制御信号生成部20は、用意した電圧レベル群の各電圧レベルを論理回路10に入力したときに得られる結果に基づいて、電圧レベルの選択及び/又は変更を行い、これを制御信号として所望の演算結果が得られるまで繰り返して、電圧レベル群を自律収束させる。





【特許請求の範囲】

【請求項1】複数の制御ゲートを有する絶縁ゲート電界効果トランジスタと、当該絶縁ゲート電界効果トランジスタから所望の出力を得るために前記制御ゲートに付与する制御信号を生成する手段として、用意した電圧レベル群の各電圧レベルを前記絶縁ゲート電界効果トランジスタに入力したときに所望の出力が得られたときは、当該所望の出力が得られる電圧レベルを前記制御信号として出力し、所望の出力が得られないときは、当該出力結果に基づいて電圧レベルの選択及び／又は変更を行い、この選択及び／又は変更を所望の出力が得られるまで繰り返して前記電圧レベル群を収束させ、所望の出力が得られる電圧レベルを前記制御信号として出力する制御信号生成部とを有する半導体装置。

【請求項2】前記絶縁ゲート電界効果トランジスタは、前記複数の制御ゲートの印加電圧に応じて電位が決まる浮遊ゲートを有し、

前記絶縁ゲート電界効果トランジスタの制御ゲートに接続され、前記浮遊ゲートに対し電荷の注入又は抜き取りを制御して前記絶縁ゲート電界効果トランジスタのしきい電圧を設定または変更するしきい電圧制御部を更に有する請求項1に記載の半導体装置。

【請求項3】複数の入力信号を、その論理の組み合わせに応じた複数のレベルをとる電圧に変換して出力する入力変換部と、

前記絶縁ゲート電界効果トランジスタを含み、その制御信号入力用の制御ゲートに印加される制御信号と他の制御ゲートに前記入力変換部から印加される変換後の入力信号とに基づいて論理確定信号を生成する確定信号生成部と、

信号入力に前記入力変換部の出力が接続され、制御入力に前記確定信号生成部の出力が接続され、当該制御入力で受けた前記論理確定信号に応じて決まる所定閾数の論理演算を前記入力変換部で変換後の入力信号に対して実行する可変演算部とから構成された論理回路が前記制御信号生成部に接続されている請求項1に記載の半導体装置。

【請求項4】前記制御信号生成部は、予め用意した複数の電圧レベルを前記論理回路に入力して得られた演算結果を所望の演算結果と比較する比較部と、

前記比較の結果から演算結果の一一致度に応じた発生確率で新たに複数の電圧レベルを選択する選択部と、

選択した電圧レベルを変更する変更部と、

これら比較部、選択部及び変更部を制御して、前記演算、比較、選択及び変更を繰り返しながら所望の前記論理確定信号を得ることができる電圧レベルを特定し、前記制御信号として前記確定信号生成部に向けて出力させる制御部とを有する請求項3に記載の半導体装置。

【請求項5】前記確定信号生成部は、前記絶縁ゲート電

界効果トランジスタから構成され、前記制御信号と前記変換後の入力信号に応じて決まるしきい電圧で反転する論理確定用可変しきい電圧インバータを有し、前記可変演算部は、入力した論理確定信号に応じてしきい電圧を複数の段階の何れかに変更することにより所定の論理閾数が設定され、前記変換後の入力信号に応じて反転するか否かで所望の演算結果又はその反転出力を出力する演算用可変しきい電圧インバータを有する請求項3に記載の半導体装置。

【請求項6】前記演算用と論理確定用の2つの可変しきい電圧インバータ及び前記入力変換部は、第1の電源電圧と第2の電源電圧の間に直列接続されたp型チャネルとn型チャネルの2つの絶縁ゲート電界効果トランジスタから構成され、

当該2つのトランジスタは、半導体のチャネル形成領域上に形成されたゲート絶縁膜上に延在して当該2つのトランジスタ間で共通接続された浮遊ゲートと、当該浮遊ゲート又は浮遊ゲートの連結部上に絶縁膜を介して配置され、印加電圧の組み合わせによって浮遊ゲートの電位を多段階に制御して前記出力の電圧レベルを設定し又はしきい電圧を変更する複数の制御ゲートとを有し、

前記入力変換部の2つのトランジスタは、ソース同士を接続した直列接続点から出力をとり出すソースフォロア接続がなされ、

前記演算用と論理確定用の2つの可変しきい電圧インバータは、それぞれドレイン同士を接続した直列接続点から出力をとり出すインバータ接続がなされている請求項5に記載の半導体装置。

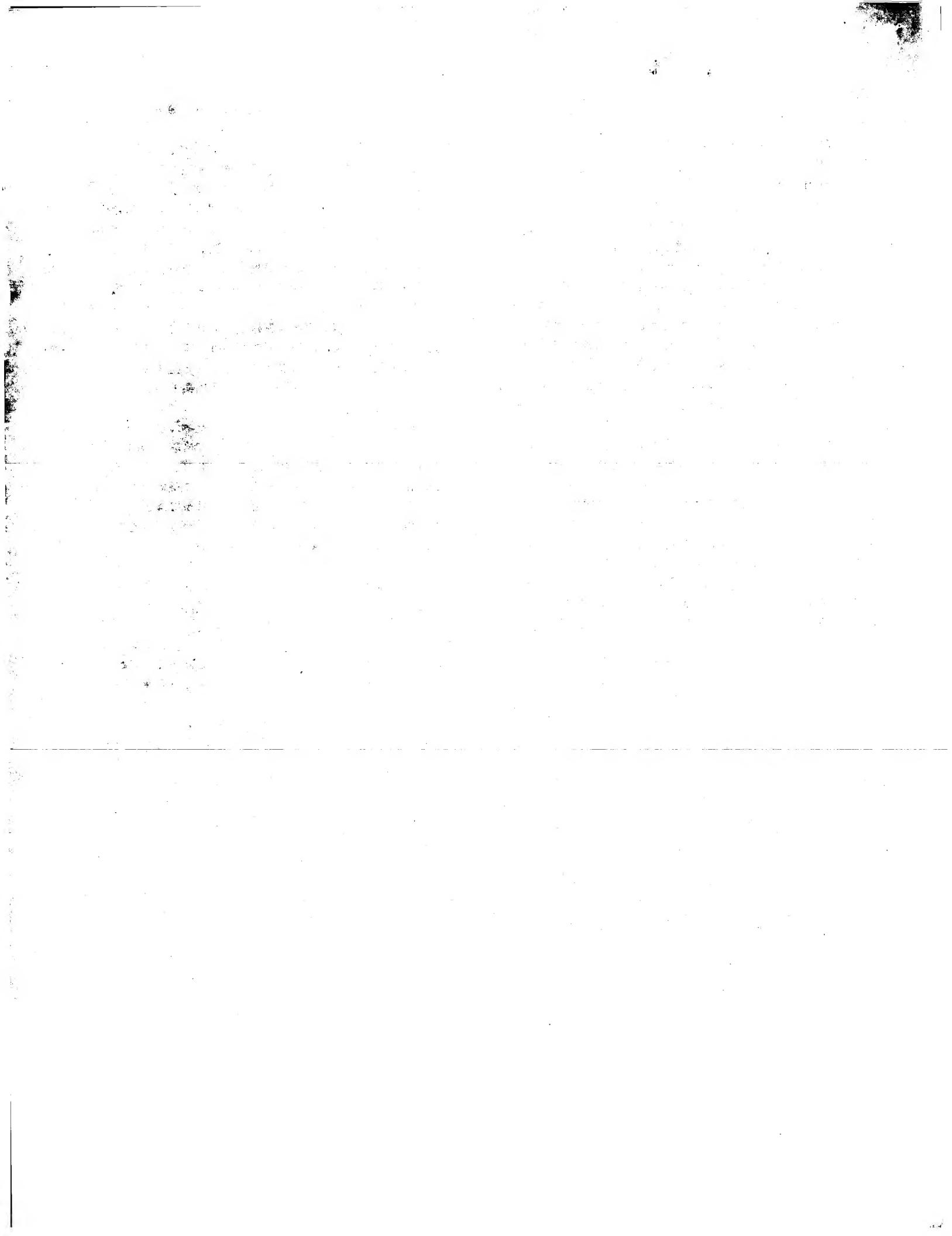
【請求項7】前記確定信号生成部、前記可変演算部及び前記入力変換部は、第1の電源電圧と第2の電源電圧の間に直列接続されたp型チャネルとn型チャネルの2つの絶縁ゲート電界効果トランジスタから構成され、

当該2つのトランジスタは、半導体のチャネル形成領域上に形成されたゲート絶縁膜上に延在して当該2つのトランジスタ間で共通接続された浮遊ゲートと、

当該浮遊ゲート又は浮遊ゲートの連結部上に絶縁膜を介して配置され、印加電圧の組み合わせによって浮遊ゲートの電位を多段階に制御して前記出力の電圧レベルを設定し又はしきい電圧を変更する複数の制御ゲートとを有し、

前記入力変換部と、前記確定信号生成部、前記可変演算部の少なくとも一方とが、ソース同士を接続した直列接続点から出力をとり出すソースフォロア接続がなされ、ソースフォロア接続されていない前記確定信号生成部又は前記可変演算部は、ドレイン同士を接続した直列接続点から出力をとり出すインバータ接続がなされている請求項3に記載の半導体装置。

【請求項8】複数の論理回路と、少なくとも前記複数の論理回路間の接続と入力信号の選択を配線接続の有無に



よってプログラム可能な配線アレイとを有する半導体装置であって、

前記複数の論理回路それぞれは、複数の入力信号を、その論理の組み合わせに応じた複数のレベルをとる電圧に変換して出力する入力変換部と、

制御入力に印加される制御信号と信号入力に前記入力変換部から印加される変換後の入力信号とに基づいて論理確定信号を生成する確定信号生成部と、

信号入力に前記入力変換部の出力が接続され、制御入力に前記確定信号生成部の出力が接続され、当該制御入力で受けた前記論理確定信号に応じて決まる所定関数の論理演算を前記入力変換部で変換後の入力信号に対して実行する可変演算部とから構成されている半導体装置。

【請求項9】前記論理回路を構成する絶縁ゲート電界効果トランジスタが、複数の制御ゲートの印加電圧に応じて電位が決まる浮遊ゲートを有し、

前記絶縁ゲート電界効果トランジスタの制御ゲートに接続され、前記浮遊ゲートに対し電荷の注入又は抜き取りを制御して前記絶縁ゲート電界効果トランジスタのしきい電圧を設定または変更するしきい電圧制御部を更に有する請求項8に記載の半導体装置。

【請求項10】前記配線アレイは、配線の接続有無を確定するプログラム素子として、半導体のチャネル形成領域上に、当該チャネル形成領域上とゲート間にそれぞれ絶縁膜を介在させて浮遊ゲートと制御ゲートを順に積層させてなる不揮発性メモリ素子を複数有する請求項8に記載の半導体記憶装置。

【請求項11】前記接続アレイは、前記論理回路ごとの所定関数の論理確定を、配線接続の有無によってプログラムする領域を備える請求項8に記載の半導体装置。

【請求項12】前記論理回路に付与する前記制御信号を生成する手段として、用意した電圧レベル群の各電圧レベルを前記確定信号生成部にに入力したときに所望の出力が得られたときは、当該所望の出力が得られる電圧レベルを前記制御信号として出力し、所望の出力が得られないときは、当該出力結果に基づいて電圧レベルの選択及び／又は変更を行い、この選択及び／又は変更を所望の出力が得られるまで繰り返して前記電圧レベル群を収束させ、所望の出力が得られる電圧レベルを前記制御信号として出力する制御信号生成部を更に有する請求項8に記載の半導体装置。

【請求項13】前記制御信号生成部内で用いられる前記電圧レベルそれぞれが、複数の論理回路の制御信号の確定を一括して行い、かつ前記配線アレイ内の配線接続の論理確定を行うために必要な大きさのビット列から構成されている請求項12に記載の半導体装置。

【請求項14】前記制御信号生成部が用意すべき前記電圧レベル群、前記選択又は変更の判断基準が少なくとも格納されたメモリ部を有し、

当該メモリ部と前記制御信号生成部の少なくとも一方

は、その内部に論理回路を有する場合、当該論理回路部分が前記演算論理が変更可能な論理回路により構成されている請求項12に記載の半導体記憶装置。

【請求項15】前記制御信号生成部が用意すべき前記電圧レベル群、前記選択又は変更の判断基準が少なくとも格納されたメモリ部を有し、

当該メモリ部、前記制御信号生成部、前記複数の論理回路および前記接続アレイが、单一な半導体基板に集積化されている請求項12に記載の半導体記憶装置。

【請求項16】複数の制御ゲートを有する絶縁ゲート電界効果トランジスタを含む半導体装置の制御方法であつて、

予め用意した複数の電圧レベルを前記絶縁ゲート電界効果トランジスタに入力したときに得られた出力を所望の出力と比較し、

前記比較の結果から出力の一一致度に応じた発生確率で電圧レベルを選択及び／又は変更し、

これら比較、選択及び／又は変更を繰り返しながら所望の出力を得るための電圧レベルを特定して、前記制御信号として前記絶縁ゲート電界効果トランジスタに出力する半導体装置の制御方法。

【請求項17】複数の入力信号を、その論理の組み合わせに応じた複数のレベルをとる電圧に変換して出力する入力変換部と、

前記絶縁ゲート電界効果トランジスタを含み、その制御信号入力用の制御ゲートに印加される制御信号と他の制御ゲートに前記入力変換部から印加される変換後の入力信号とに基づいて論理確定信号を生成する確定信号生成部と、

信号入力に前記入力変換部の出力が接続され、制御入力に前記確定信号生成部の出力が接続され、当該制御入力で受けた前記論理確定信号に応じて決まる所定関数の論理演算を前記入力変換部で変換後の入力信号に対して実行する可変演算部とから構成された論理回路を前記半導体装置内に有する請求項16に記載の半導体装置の制御方法。

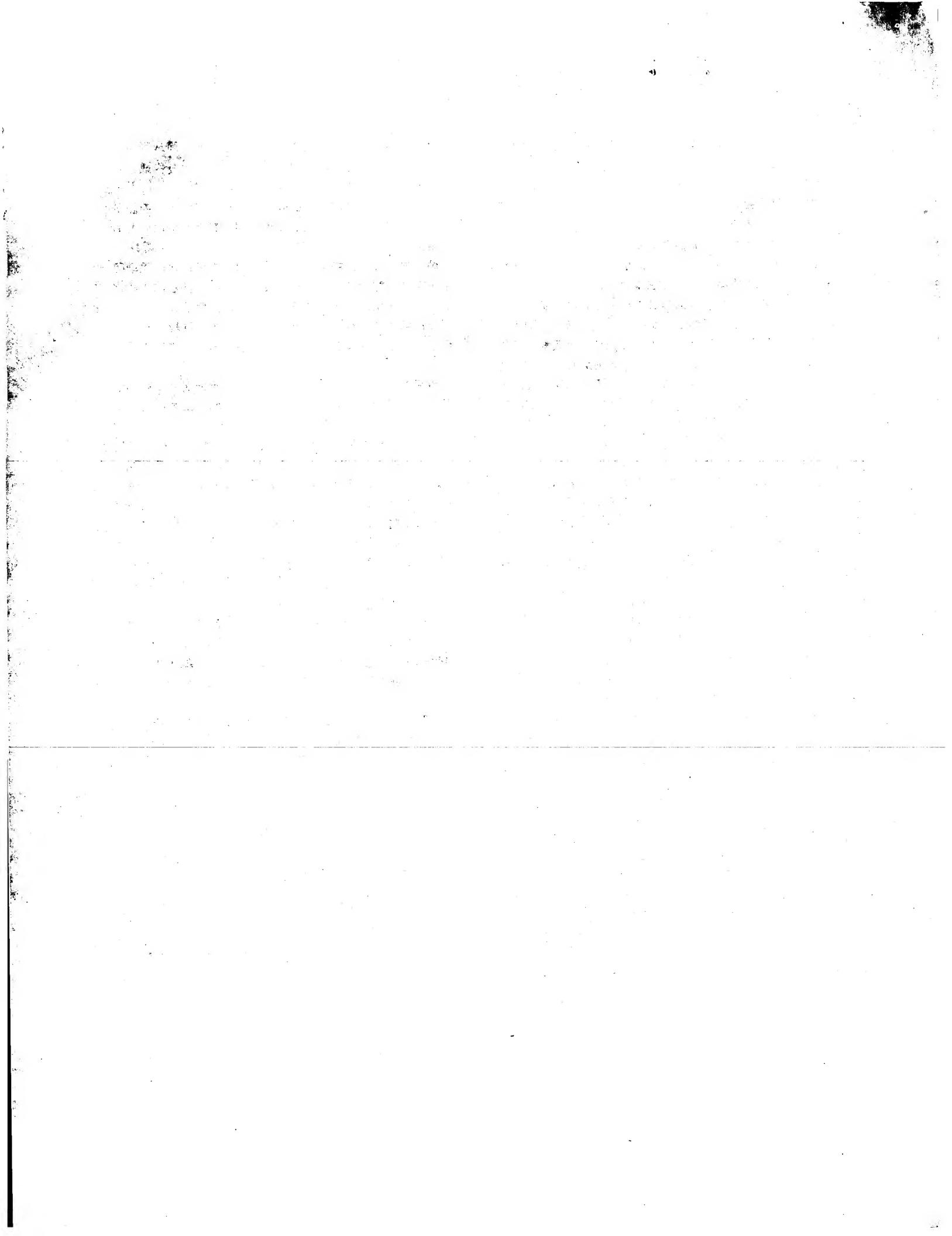
【請求項18】前記論理回路が複数存在して全体の論理回路が構成されている場合に、前記予め用意した電圧レベルとして、論理回路の数に対応し、かつ論理回路間の接続と入力選択に必要な大きさのビット列を用いる請求項17に記載の半導体装置の制御方法。

【請求項19】前記確定信号生成部として、電圧印加がないときにも一旦設定したしきい電圧が保持できるしきい電圧記憶型インバータを用い、

当該しきい電圧記憶型インバータのしきい電圧を、演算しようとする論理に適した値に設定した後、

前記演算、比較、選択及び／又は変更を繰り返しながら前記電圧レベルの特定を行う請求項17に記載の半導体装置の制御方法。

【請求項20】前記論理回路の論理確定後に、前記しき



い電圧記憶型インバータのしきい電圧を、次回以降行われる論理演算に最適な値に予め設定する請求項19に記載の半導体装置の制御方法。

【請求項21】前記論理確定後に次の論理演算に備えて行う前記しきい電圧記憶型インバータのしきい電圧の設定は、その後の論理確定において求める論理演算に適した電圧レベルの組み合わせが出来るだけ多くなるように行う請求項20に記載の半導体装置の制御方法。

【請求項22】前記論理の確定ごとに、その論理確定で特定された電圧レベルを記憶しておき、新しく論理の確定を行うに際し、これに先立って行う前記しきい電圧記憶型インバータのしきい電圧の設定では、予め記憶された前記電圧レベル群のうち最も使用頻度が高い論理演算を実現する電圧レベルが得られるようしなきい電圧を設定する請求項19に記載の半導体装置の制御方法。

【請求項23】前記論理の確定ごとに、その論理確定で特定された電圧レベルを記憶しておき、新しく論理の確定を行うに際し、予め記憶された前記電圧レベルのうち、最も使用頻度が高いものから順に、前記演算、比較、選択及び変更を行う請求項17に記載の半導体装置の制御方法。

【請求項24】少なくとも前記変換後の入力信号、論理確定信号の内部信号と前記電圧レベルを示す信号とは、3値以上に多值化したものを用いる請求項17に記載の半導体装置の制御方法。

【請求項25】少なくとも前記変換後の入力信号、論理確定信号の内部信号と前記電圧レベルを示す信号として、アナログ信号を用いる請求項17に記載の半導体装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば全てのブール関数の論理演算が可能な汎用論理回路を構成可能な複数の制御ゲートを有する絶縁ゲート電界効果トランジスタと、当該絶縁ゲート電界効果トランジスタに制御信号を付与する制御信号生成部とを有する半導体装置、及び、その制御方法に関する。特定的に、本発明は、例えば、前記論理回路が正しい解を得ることができない場合でも、前記制御信号生成部が、いわゆる遺伝的アルゴリズムにより自律収束的に論理回路から所望の解を得る制御信号を生成して論理回路を正しく動作させ、また複数の論理回路間と入力の接続手段、更に学習機能を付加することで短時間で複雑な論理計算を正確に実行できる自己進化に適した構成の半導体装置と、その制御方法に関する。

【0002】

【従来の技術】コンピューターサイエンス等の分野では、「進化するコンピューター」、「進化するハードウェア」が最近、注目されている。これらは、「遺伝的アルゴリズム」、「人工生命」、さらに最近流行語にもなってきている「複雑性」にも関連し、これらの考え方と相まって発展する様相をみせている。「進化するハードウェア」とは、これまで機能が固定されていることが前提となっていたシステムのハードウェアに、可変性、プログラム性を持たせ、さらに生命の進化システムを応用了した遺伝的アルゴリズム (Genetic Algorithms、以下GAと略す) を用いて、ハードウェアの機能を環境に適応させて進化させようとするものである。

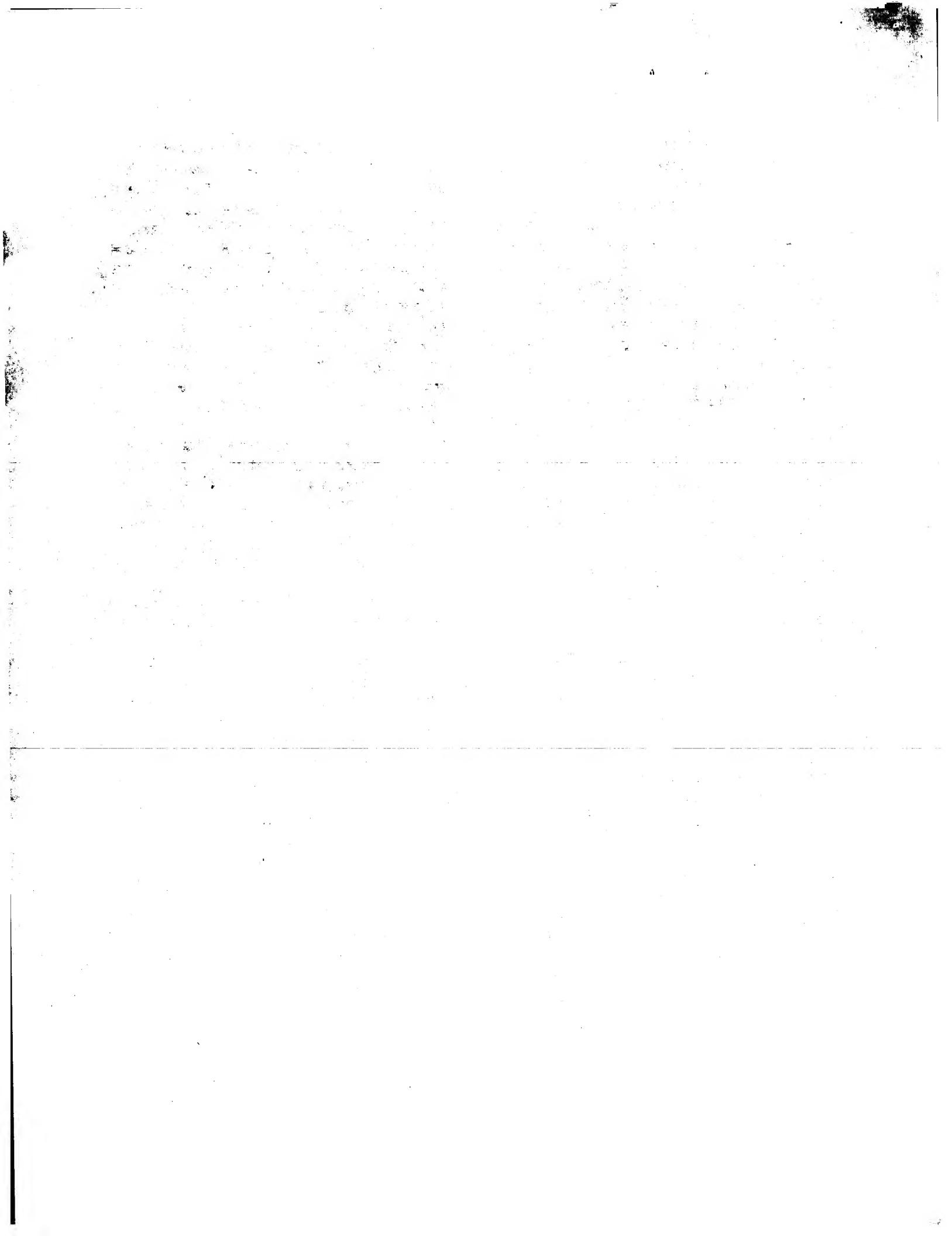
【0003】「進化するハードウェア」の基礎的な研究、開発はいくつかの研究機関でなされているが、その中で、代表的なGA適用例として、FPGA (Field Programmable Gate Array)、PLD (Programmable Logic Device) 等がある。以下、下記文献(1)に示されているPLDを用いたものを説明する。

【0004】文献(1)：樋口哲也他：「遺伝的学習によるハードウェア進化の基礎実験」、『遺伝的アルゴリズム』、第10章、産業図書、1993年刊。

【0005】この文献では、PLDの論理確定に遺伝的アルゴリズム(GA)を用いることにより、所望の組み合わせ回路、順序回路を得る手法を説明している。また、このような手段が将来的に大規模進化システムの基礎となると述べられている。

【0006】文献(1)に示されているPLDはGAL 16V8と呼ばれているもので、一般的であり、また簡易なものである。このPLDの構成図を図13に示す。PLDはアレイ状に配置された接続パターンと論理マクロセル等により構成され、接続の有無、論理機能の選択を制御ビット列の組み合わせで指定することにより、所望の機能を備えた論理回路、すなわちロジックデバイスを得ることができる。入力信号が入る前段のアレイパターンは、各交点にヒューズ、EEPROM等のプログラム素子が設けられ、これらをプログラムすることにより入力信号に対するAND論理を選択できる。ANDがとられた各ラインは、論理マクロセルに入力され、OR論理を介した後、フリップフロップ等の選択された回路を経て出力される。つまり、PLDは、ANDとORの論理によって構成される加法標準形が基本となり、所望の組み合わせ回路、順序回路等が形成される。

【0007】文献(1)では、このPLDの論理機能確定に遺伝的アルゴリズム(GA)を使い、「進化するハードウェア」システムを構築することを提案している。具体的には、まず、PLDの論理を確定する制御ビット列を遺伝子とのアノロジーから染色体とみなし、この染色体をランダムに多数用意する。そして、それぞれの染色体(ビット列)により確定する論理回路について入力パターンと出力の対応を調べ、それぞれの出力結果と所望の出力値を比較し、一致の度合いに応じて染色体の適応度を決定する。一致の度合いが高ければ適応度を高め、低ければ減ずる。そして、適応度の高さに比例する



確率で染色体を選択し（自然淘汰）、それらについてビット交叉（交配）、ビットデータ変換（突然変異）を行い、再度、論理出力の比較と適応度評価を行う。このサイクル（世代交代）を何度も繰り返し、最終的に適応度100、つまり、論理が完全に所望のものと一致する制御ビット列を得る。環境が変化して異なる機能が要求されれば、システムは同じ手法を繰り返し、自律適応的に論理を変更し進化していくことができる。

【0008】文献（1）では、以上のシステムの例として、6マルチプレクサのGAによる論理確定を紹介しており、108ビット長の染色体表現を用い、適応度評価と交叉の2000サイクルの世代交代で正確な解が得られている。

【0009】

【発明が解決しようとする課題】以上の従来技術にとりあげたPLDを用いた「進化するハードウェア」システムでは、いくつか問題がある。

【0010】文献（1）でも指摘されているように、現状のPLDはEEPROM、EEPROM等のプログラム素子が用いられているが、書き換え保証回数は100回程度であり、現実には、とても上記例のような2000サイクルのGA操作や、さらに長期的な進化プロセス操作を実現することができない。このため、文献（1）の例では、実デバイス（PLD）を用いてシステムを検証しているのではなく、制御ビット列のGA操作をコンピューター上でシミュレーションするに留まっている。

【0011】また、EEPROM、EEPROM等のデバイスの書き換えには、紫外線消去、オンボードであっても特別な書き換えモードに入る必要性があるので、GA操作を行う際に極めて長い時間がかかる。よって、リアルタイムに環境に適応するような自己適応システムの構築是不可能である。

【0012】さらに、上述したように、PLDは基本的に積和論理によって構築される加法標準形が基本となっているが、一般的に加法標準形は最も効率の良い論理式とは言えず、回路に冗長な部分が生じ易い。回路が冗長であることは、GA操作では染色体の長さが長くなることになり、GA操作の効率を悪くする。逆に染色体の長さを固定して考えるならば、変化におけるフレキシビリティが低いことを意味する。

【0013】また、下記文献（2）では、上述したコンセプトと同様に、超LSIの設計用言語HDLにGAを適用し、LSIの設計を進化的に変化させていく手法を提案している。

【0014】文献（2）：辺見均他：「行動型ハードウェアの進化」、『遺伝的アルゴリズム』、第8章、産業図書、1995年刊。

【0015】しかし、これもシミュレーション上の実験であり、実デバイスを実際にどのように変化させていくかについては、言及されていない。

【0016】このように「進化するハードウェア」の実現のために現在提案されたアイデアは、既存のデバイスであるFPGAやPLD、またハードウェア記述言語（HDL）を用いたものであるが、これらの研究は未だシミュレーションレベルであり、ハードウェアを対象にしながらもソフトウェアの研究に留まっている。このように、実際の「進化するハードウェアシステム」の実現に際しては上述した問題点や課題が多い。とくに、実際にシステムを構成するデバイスとして、現状にPLDに代わる、より適したデバイスが必要となる。

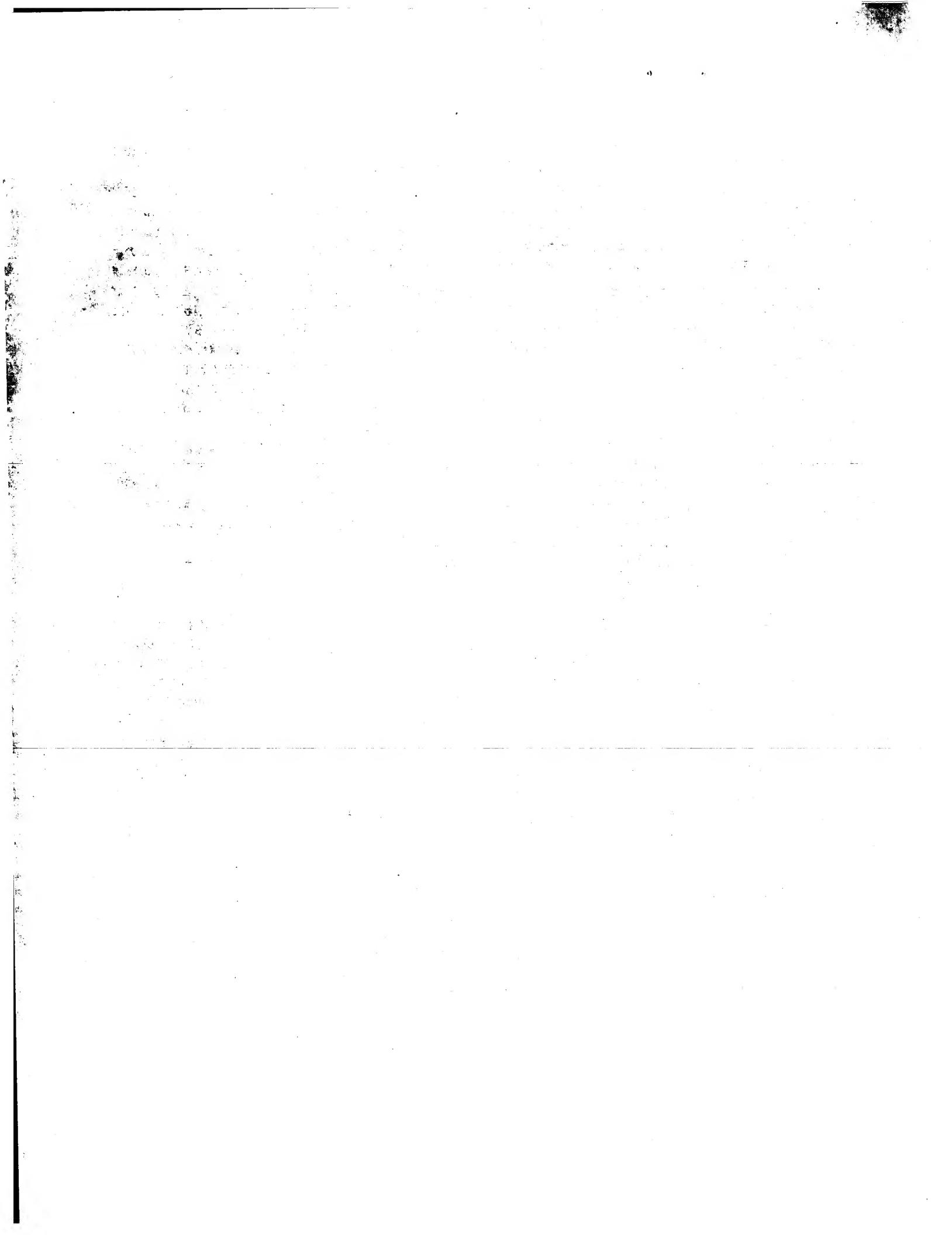
【0017】本発明は、このような実情に鑑みてなされ、遺伝的アルゴリズムによるシステム進化の可能性を充分に発揮できるデバイスの適用と、この適用に際して効率的な制御手法を提案して、遺伝的アルゴリズムによって自律的に進化するハードウェアとして実用的で実現可能な半導体装置と、その論理確定方法を新たに提供することを目的とする。

【0018】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の半導体装置では、演算論理の変更が可能な汎用論理回路を構成する複数の制御ゲートを有するMISFETを、いわゆる進化するハードウェアの基本デバイスとして用いている。

【0019】すなわち、本発明の半導体装置では、複数の制御ゲートを有する絶縁ゲート電界効果トランジスタと、当該絶縁ゲート電界効果トランジスタから所望の出力を得るために前記制御ゲートに付与する制御信号を生成する手段として、用意した電圧レベル群の各電圧レベルを前記絶縁ゲート電界効果トランジスタに入力したときに所望の出力が得られたときは、当該所望の出力が得られる電圧レベルを前記制御信号として出力し、所望の出力が得られないときは、当該出力結果に基づいて電圧レベルの選択及び／又は変更を行い、この選択及び／又は変更を所望の出力が得られるまで繰り返して前記電圧レベル群を収束させ、所望の出力が得られる電圧レベルを前記制御信号として出力する制御信号生成部とを有する。

【0020】また、複数の入力信号を、その論理の組み合わせに応じた複数のレベルをとる電圧に変換して出力する入力変換部と、前記絶縁ゲート電界効果トランジスタを含み、その制御信号入力用の制御ゲートに印加される制御信号と他の制御ゲートに前記入力変換部から印加される変換後の入力信号とに基づいて論理確定信号を生成する確定信号生成部と、信号入力に前記入力変換部の出力が接続され、制御入力に前記確定信号生成部の出力が接続され、当該制御入力で受けた前記論理確定信号に応じて決まる所定閾数の論理演算を前記入力変換部で変換後の入力信号に対して実行する可変演算部とから構成された論理回路が、前記制御信号生成部に接続されてい



る。

【0021】この場合、前記制御信号生成部は、好適には、予め用意した複数の電圧レベルを前記論理回路に入力して得られた演算結果を所望の演算結果と比較する比較部と、前記比較の結果から演算結果の一致度に応じた発生確率で新たに複数の電圧レベルを選択する選択部と、選択した電圧レベルを変更する変更部と、これら比較部、選択部及び変更部を制御して、前記演算、比較、選択及び変更を繰り返しながら所望の前記論理確定信号を得ることができる電圧レベルを特定し、前記制御信号として前記確定信号生成部に向けて出力させる制御部とを有する。

【0022】これら前記入力変換部、確定信号生成部及び可変演算部は、いわゆるνMOSで構築できる。すなわち、前記入力変換部、確定信号生成部及び可変演算部は、第1の電源電圧と第2の電源電圧の間に直列接続されたp型チャネルとn型チャネルの2つの絶縁ゲート電界効果トランジスタから構成され、当該2つのトランジスタは、半導体のチャネル形成領域上に形成されたゲート絶縁膜上に延在して当該2つのトランジスタ間で共通接続された浮遊ゲートと、当該浮遊ゲート又は浮遊ゲートの連結部上に絶縁膜を介して配置され、印加電圧の組み合わせによって浮遊ゲートの電位を多段階に制御して前記出力の電圧レベルを設定し又はしきい電圧を変更する複数の制御ゲートとを有する。

【0023】前記入力変換部は2つのトランジスタのソース同士を接続した直列接続点から出力をとり出すソースフォロア接続がなされている。一方、確定信号生成部と可変演算部は、ソースフォロア接続としてもよく、また2つのトランジスタのドレイン同士を接続した直列接続点から出力をとり出すインバータ接続としてもよい。

【0024】複雑な回路を構築するために好ましい本発明の半導体装置は、前記演算論理を変更可能な複数の論理回路と、当該複数の論理回路間の接続と入力信号の選択を配線接続の有無によってプログラム可能な配線アレイとを有する。この接続アレイは、制御信号生成部により制御させることもできる。この場合、前記制御信号生成部内で用いられる前記電圧レベルそれぞれが、複数の論理回路の制御信号の確定を一括して行い、かつ前記配線アレイ内の配線接続の論理確定を行うために必要な大きさのビット列から構成されている。

【0025】前記配線アレイは、配線の接続有無を確定するプログラム素子として、半導体のチャネル形成領域上に、当該チャネル形成領域上とゲート間にそれぞれ絶縁膜を介在させて浮遊ゲートと制御ゲートを順に積層させてなる不揮発性メモリ素子を複数有する。このフローティングゲート(FG)を有するフラッシュメモリ等の不揮発性メモリ素子は、前述したνMOSと同時形成ができ、製造プロセスの共通性の面から好ましい。

【0026】また、上述した確定信号生成部等を構成す

るインバータ等におけるしきい電圧の変更は、制御信号による制御に代えて、或いは制御信号による制御に加えて、浮遊ゲートへの注入電荷量の制御で行うことができる。このタイプの本発明の半導体装置では、少なくとも前記論理確定用可変しきい電圧インバータを構成するトランジスタが、半導体のチャネル形成領域上に、当該チャネル形成領域上とゲート間にそれぞれ絶縁膜を介在させて浮遊ゲートと制御ゲートを順に積層させてなる不揮発性メモリ素子から構成されている。また、この場合の制御信号生成部は、前記確定信号生成部を構成する可変しきい電圧インバータを構成するトランジスタの浮遊ゲートに対し電荷の注入と抜き取りを行って当該インバータのしきい電圧を変更するしきい電圧制御部を有する。

【0027】本発明の半導体装置の制御方法は、複数の制御ゲートを有する絶縁ゲート電界効果トランジスタを含む半導体装置の制御方法であって、予め用意した複数の電圧レベルを前記絶縁ゲート電界効果トランジスタに入力したときに得られた出力を所望の出力と比較し、前記比較の結果から出力の一致度に応じた発生確率で電圧レベルを選択及び／又は変更し、これら比較、選択及び／又は変更を繰り返しながら所望の出力を得るための電圧レベルを特定して、前記制御信号として前記絶縁ゲート電界効果トランジスタに出力する。

【0028】好ましくは、前記絶縁ゲート電界効果トランジスタを確定信号生成部に含む演算論理が変更可能な論理回路を複数有し、これにより全体の論理回路が構成されている場合に、前記予め用意した電圧レベルとして、論理回路の数に対応し、かつ論理回路間の接続と入力選択に必要な大きさのビット列を用いる。

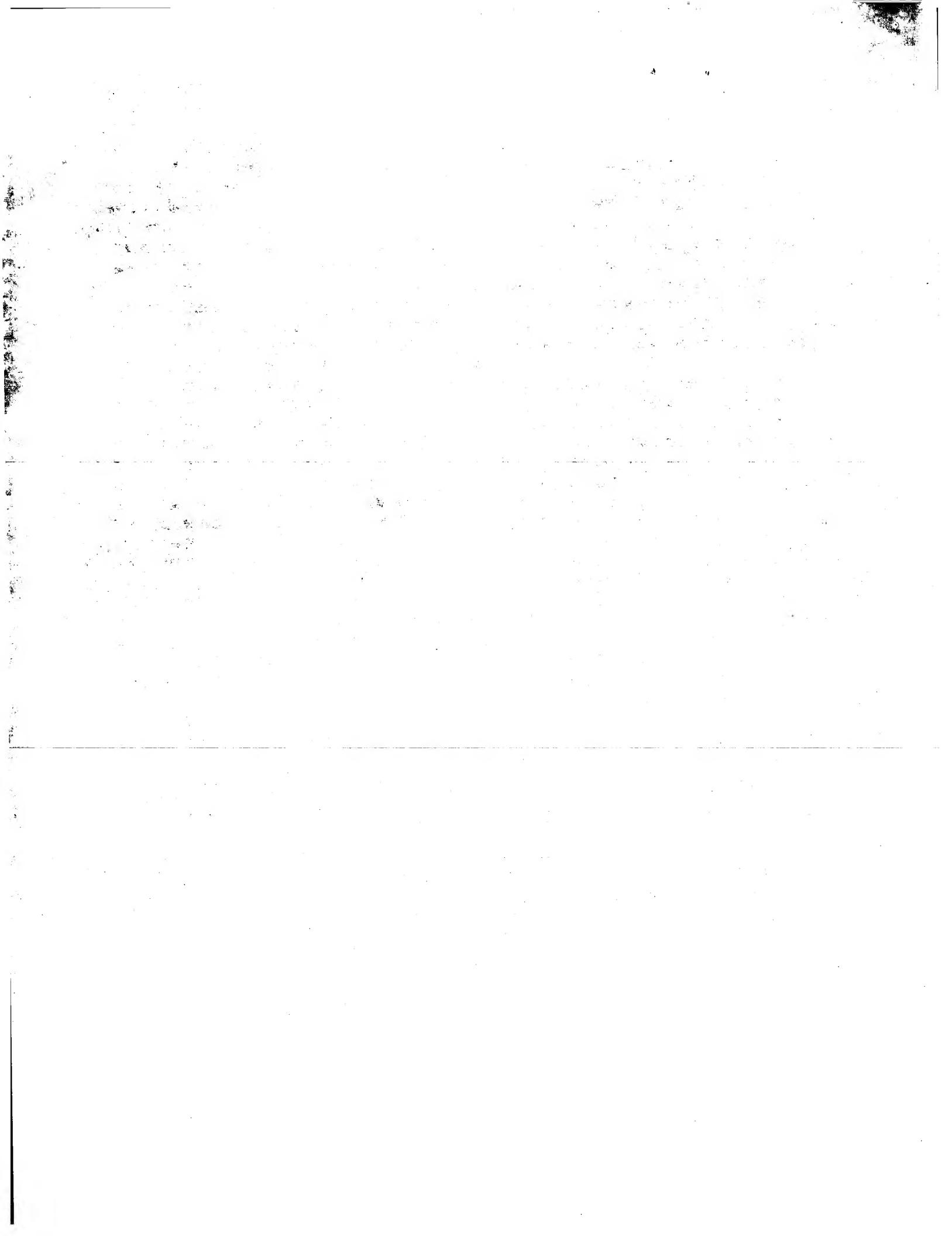
【0029】本発明の論理確定方法では、好ましくは、以下に示す幾つかの制御を単独で、或いは組み合わせることによって学習性をもたせることができる。

(1) 前記確定信号生成部として、電圧印加がないときにも一旦設定したしきい電圧が保持できるしきい電圧記憶型インバータを用い、当該しきい電圧記憶型インバータのしきい電圧を演算しようとする論理に適した値に設定した後、前記演算、比較、選択及び／又は変更を繰り返しながら前記電圧レベルの特定を行う。

(2) 前記論理回路の論理確定後に、前記しきい電圧記憶型インバータのしきい電圧を、次回以降行われる論理演算に最適な値に予め設定する。

(3) 前記論理確定後に次の論理演算に備えて行う前記しきい電圧記憶型インバータのしきい電圧の設定は、その後の論理確定において求める論理演算に適した電圧レベルの組み合わせが出来るだけ多くなるように行う。

(4) 前記論理の確定ごとに、その論理確定で特定された電圧レベルを記憶しておき、新しく論理の確定を行うに際し、これに先立って行う前記しきい電圧記憶型インバータのしきい電圧の設定では、予め記憶された前記電圧レベル群のうち最も使用頻度が高い論理演算を実現す



る電圧レベルが得られるようなしきい電圧を設定する。

(5) 前記論理の確定ごとに、その論理確定で特定された電圧レベルを記憶しておき、新しく論理の確定を行うに際し、予め記憶された前記電圧レベルのうち、最も使用頻度が高いものから順に、前記演算、比較、選択及び変更を行う。

【0030】また、少なくとも前記変換後の入力信号、論理確定信号の内部信号と前記電圧レベルを示す信号とは、3値以上に多値化したもの或いはアナログ信号を用いると、更に効率化が図れて好ましい。

【0031】以上述べてきた本発明の半導体装置は、シミュレーションではなく実際に実現可能に具体化され手段によりGA手法を適用した半導体デバイスである。このGA手法が適用される対象として、本発明の半導体装置ではvMOS、又はこれを用いた演算論理を変更可能で簡易な構成の論理回路を有する。適用対象が論理回路の場合、GA手法が所望の論理演算を得るための制御信号の生成に適用され、具体的には、制御信号生成部が実際の演算結果をもとに自律的な過程で制御信号を生成する。

【0032】この論理回路とGA手法による論理制御との組み合わせによって、機能を用途に応じて変更／拡大する大規模なICの実現が可能となる。なぜなら、通常の論理回路では機能を固定して、それに最適な配線等の設計的な要素が加味されているので、機能が変更されると設計な最適ポイントが狂って誤動作を誘うが、GA手法による論理確定では、正常動作が個々の論理回路レベルで確実に保証され、動作精度が格段に高いものとなる。従来のGA手法の適用例では、ある決まったプログラム状態における機能を正確に動作させるためだけにGA手法が用いられていたのに対し、本発明では、正常動作の確保に加え、機能自体の変更にGA手法が用いられているので、遺伝的アルゴリズム操作における柔軟性、多様性が高い。

【0033】この論理確定手法を、複数の論理回路間の接続及び入力選択を含めた論理回路間制御に適用した場合、複数の論理回路からなるブロック全体、或いは集積回路全体で動作精度が高くなり効率が増す。また、簡易な回路（論理回路）を用いており、接続のための接続アレイも簡素である。加えて、論理回路に汎用性があるので、欠陥があって動作不能な論理回路を他の不使用な論理回路で、必要に応じて機能を変更しながら置換して用いることができ、これにより機能が固定された従来の論理IC等では不可能であった自動的に欠陥部分を使わないようにする特性、即ち自己欠陥回避性がある。なお、従来の機能変更できるデバイス、例えばPLDでは機能変更を大規模なアレイに依存しており、機能変更に時間がかかるので自己欠陥回避は不可能である。さらに、周囲の環境変化、例えば温度変化、入力信号の劣化或いはノイズ環境の劣化等があった場合、各論理回路に対し、

その環境において所望の演算結果を得ることができる制御信号が付与されるので、誤動作することなく自律的に適応できる、即ち環境適応性がある。たとえば、これらの環境変化によって、従来構成では動作マージンがなくなったり、或いは例えばANDとANDの論理が逆転して誤動作する場合でも、本発明では論理回路を正しい解を得られるように制御するので、飛躍的に誤動作の確率が低減する。さらに、先に列挙した幾つかの学習機能の付加と、幾つかの高効率化を進める制御を行うと、回路自体を簡素化できるうえ、予備的な並列処理が付加されて制御信号の変更範囲が制限されるために、同じような論理演算を繰り返すうちに自然と処理速度が向上する。この結果、機能または性能の拡大余地が生まれる。

【0034】

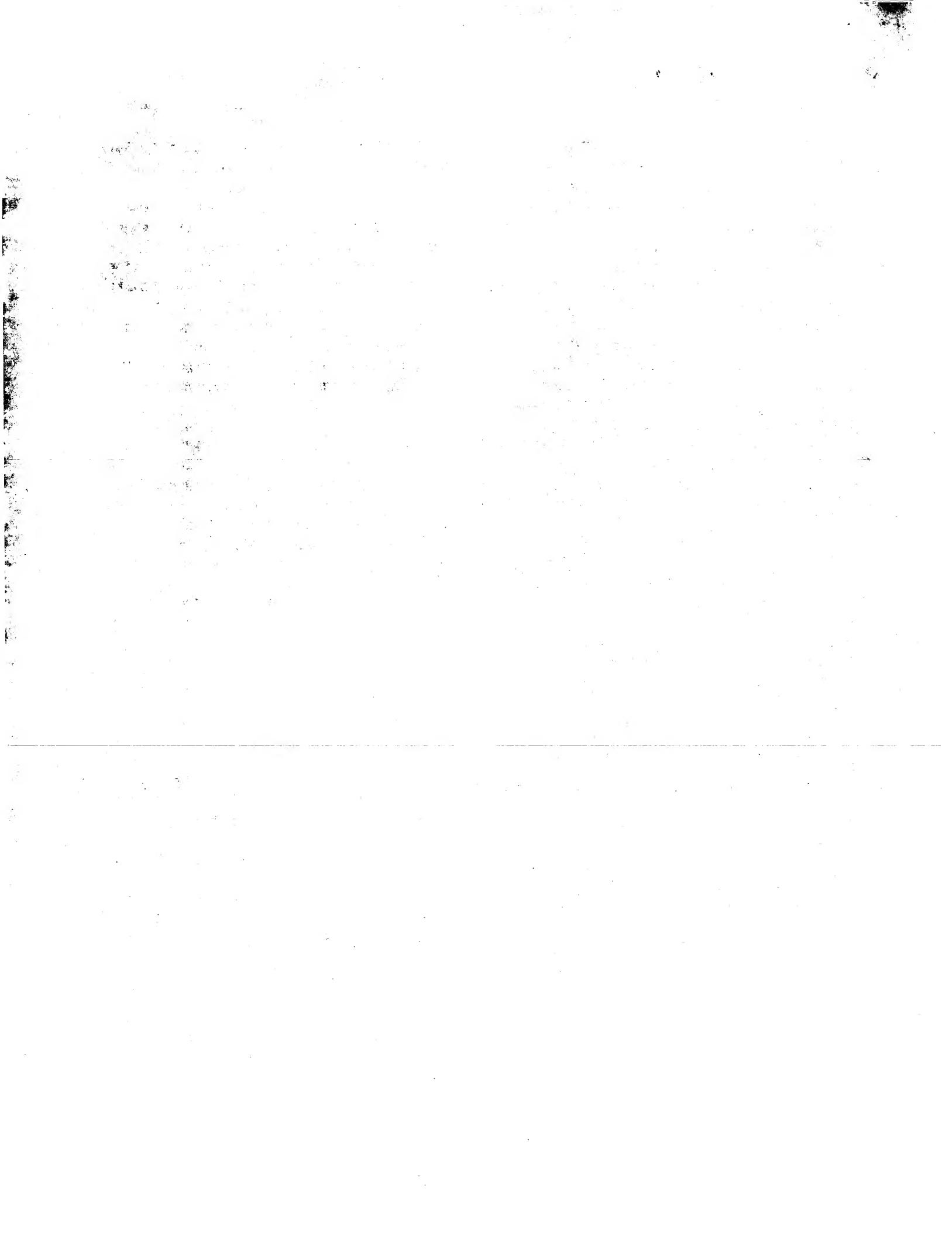
【発明の実施の形態】本発明に係る半導体装置及びその制御手法は、これまでのコンピューター等のソフトウェアによってその機能を変更してきたもの、或いはPLD等のようにメモリアレイに依存した機能変更と異なり、ハードウェア（本発明では、例えば単位論理回路の機能（ロジック））自体を変えることにより、動作の並列性に起因する処理速度の高速化や機能性等の面において、より最適なシステム（半導体装置及びその制御方法）の実現を可能とするものである。

【0035】本発明は、「進化するハードウェア」に最適なシステムを半導体デバイスの構造とその制御方法のレベルから提案するものである。すなわち、本発明の半導体装置は、vMOS、又はvMOS等からなり演算論理を変更可能な簡素な構成の論理回路を組み込んだハード構成と、そのオペレーション手段を有する。また、本発明の制御方法では、例えば、論理回路の論理確定オペレーション方法のほか、更に動作の効率化ができるvMOSの改良と制御方法、高効率ができる制御方法、或いは自己学習性をもたせた制御方法を新たに提案する。以下、本発明の実施形態を、図面を参照しながら詳細に説明する。なお、以下の説明では、本発明の半導体装置の制御方法に関し、論理回路の論理確定を内部に備えた制御手段を用いて制御する場合を例として説明する。しかし、本発明の制御方法は、論理確定制御に限定されず、vMOSの特性制御（例えば、しきい電圧の設定／変更制御）等に広く適用可能であり、また、内部手段による制御に限定されず、半導体装置の外部から制御する場合も含むものである。

【0036】第1実施形態

図1は、本実施形態に係る半導体装置の要部を示す構成図である。この半導体装置1は、論理回路10、GA操作部20（本発明の“制御信号生成部”に該当）、及びメモリ部30を有する。

【0037】本実施形態では、進化システムを構築する基礎デバイス（論理回路10）として、下記文献に記載され、東北大学から発表されているvMOSと、それを



用いた論理回路（ソフト・ハードウェア回路、以下SH回路と略す）を用いる。

【0038】文献（3）：Shibata, T. and T. Ohmi, "An Intelligent MOS Transistor Feauturing Gate-Level Weighted Sum and Threshold Operations," IEDM, 1991。

文献（4）：柴田直,「新概念のMOSトランジスタ、単体でニューロン機能など実現」、日経マイクロデバイス、1992年1月号、p101。

文献（5）：Shibata, T., T. Ohmi, "Real-Time Rconfigurable Logic Circuits Using Neuron MOSTransistor", ISSCC, p236, 1993。

【0039】[vMOS] 図2に、vMOSの断面構造を示す。vMOSは、通常のMOSトランジスタのゲート電極を電気的にフローティング状態とし（以下、フローティングゲート、又は単にFGと称す）、これと容量結合する複数の制御ゲート（以下、コントロールゲート、又は単にCGと称す）を設けた構造となっている。なお、図2において、符号100は半導体基板、102はソース不純物領域、104はドレイン不純物領域、106はゲート絶縁膜、108はゲート間絶縁膜を示す。フローティングゲートFGは、コントロールゲートCGに印加される信号に応じて、その電位 ϕ_f が容量カッピングによって持ち上がり、電位 ϕ_f がある一定のゲート閾値電圧以上となるとトランジスタがONする。このとき、フローティングゲート電位 ϕ_f は、図2（b）に式で示すように、各コントロールゲート印加電圧 $V_1 \sim V_n$ を容量比に応じて重み付けした値の総和によって表される。この特性を利用し、vMOSトランジスタをnMOSとpMOSで組み合わせると、D-A変換器、可変しきい電圧インバータ等さまざまな機能を持った回路を簡単に構成することができる。

【0040】[SH回路（ソフト・ハードウェア回路）] 図1の論理回路10を構成するSH回路は、2bitのバイナリ入力信号I1, I2に応じてVoutを出力する論理演算回路であり、制御信号Va, Vb, Vcに応じ、AND, OR, NAND, NOR等の16個のブール関数を全て演算できる。

【0041】本実施形態の回路構成は、“入力変換部2”（入力部）を構成する2bit D-A変換器、“可変演算部6”（出力部）を構成する4入力の可変しきい電圧インバータ（演算用可変しきい電圧電圧インバータ8）、“確定信号生成部4”を構成する2入力可変しきい電圧インバータA～Cの3つの部分に大別される。それぞれの部分は、いずれも、図1に示すような構成で上記のvMOSトランジスタを使用している。入力部のD-A変換器は、電源電圧Vddと接地電位GNDとの間に直列接続されたnMOS2aとpMOS2bから構成され、そのフローティングゲートFG2が共通で、またコントロールゲートがCG21～CG23と3個配置され

たvMOS構成となっている。第1及び第2のコントロールゲートCG21, CG22には、それぞれ入力信号I1, I2が印加され、第3のコントロールゲートCG23は接地されている。

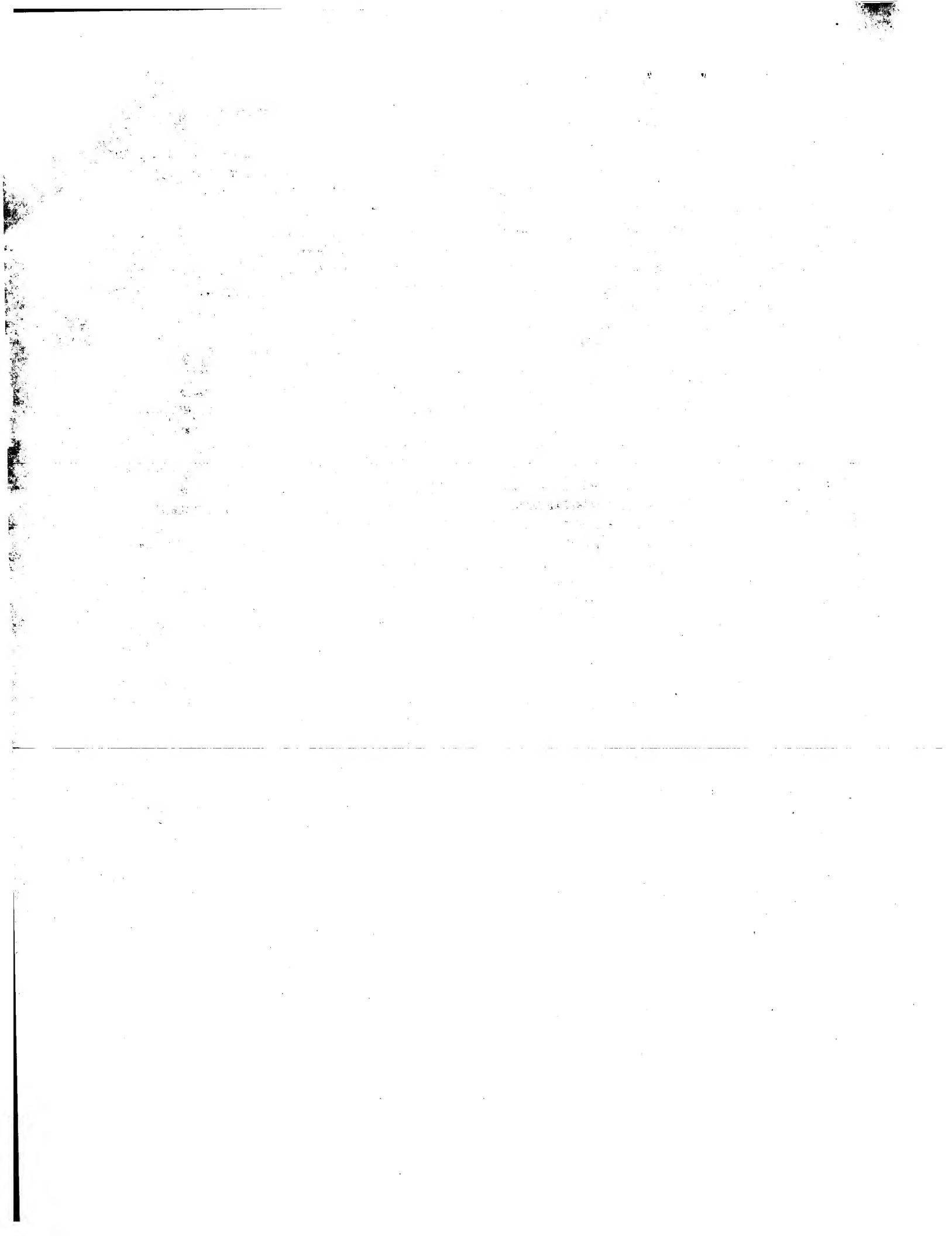
【0043】このような構成のD-A変換器は、第1及び第2のコントロールゲートCG21, CG22の面積比が1:2となっており、nMOS2aとpMOS2bの共通接続されたソースから出力が取り出されたソースフォロア接続となっているので、入力信号I1, I2（バイナリ信号）の組み合わせにより（0, Vdd/4, 2Vdd/4, 3Vdd/4）の4値信号を作り出す。

【0044】2入力可変しきい電圧インバータA～Cは、図3にインバータAで代表して示すように、それぞれ電源電圧Vddと接地電位GNDとの間に直列接続されたpMOS4aとnMOS4bから構成され、そのフローティングゲートFG4が共通で、またコントロールゲートがCG41, CG42と2個配置されたvMOS構成となっている。第1のコントロールゲートCG41は、D-A変換器（入力変更部2）の出力（変換後の入力信号）が印加され、コントロールゲートCG42は、インバータA, B, C毎にそれぞれ前記GA操作部20からの制御信号Va, Vb, Vcが入力される。

【0045】このような構成の2入力可変しきい電圧インバータA～Cは、フローティングゲートFG4（通常のゲート電極に該当）が共通接続され、かつpMOS4aとnMOS4bの共通接続されたドレインから出力が取り出されたインバータ接続となっている。また、第1及び第2のコントロールゲートCG41, CG42の面積比が1:1となっていることから、2入力可変しきい電圧インバータA～Cの反転電圧Vinv(a)～Vinv(c)は、例えばインバータAではVinv(a) = Vdd - Vaなどとなるように設計されている。したがって、制御信号Va, Vb, Vcの値で決まるしきい電圧と、D-A変換後の入力信号（多値信号）の電圧レベルとの組み合わせに応じて、2入力可変しきい電圧インバータA～Cの各出力電圧（以下、論理確定信号ともいう）V2, V3, V4は、それぞれ0またはVddの値をとる。

【0046】一方、4入力の演算用可変しきい電圧インバータ8は、図1に示すように、電源電圧Vddと接地電位GNDとの間に直列接続されたpMOS8aとnMOS8bから構成され、そのフローティングゲートFG8が共通で、またコントロールゲートがCG①, CG②, CG③, CG④と4個配置されたvMOS構成となっている。第1のコントロールゲートCG①に、D-A変換器（入力変更部2）の出力電圧V1（変換後の入力信号）が印加され、コントロールゲートCG②～④には、それぞれ2入力可変しきい電圧インバータA, B, Cの論理確定信号V2, V3, V4が印加される。

【0047】この4入力可変しきい電圧インバータ8は、フローティングゲートFG8が共通接続され、かつ



pMOS 8a と nMOS 8b の共通接続されたドレインから出力が取り出されたインバータ接続となっている。また、第1～第4のコントロールゲート $\text{CG1} \sim \text{CG4}$ の面積比が $4:2:1:1$ となっていることから、この各ゲートの結合容量 $C_1 \sim C_4$ は、全容量を C_{tot} とすると、それぞれ $C_1 = C_{\text{tot}}/2$, $C_2 = C_{\text{tot}}/4$, $C_3 = C_4 = C_{\text{tot}}/8$ と表すことができる。コントロ

$$V_{\text{inv}}(8) = V_{\text{dd}} - 2(V_2/4 + V_3/8 + V_4/8) \quad \dots (1)$$

【0049】この電圧 $V_2 \sim V_4$ で決まり 5 値をとり得るしきい電圧 $V_{\text{inv}}(8)$ と、D-A 変換後の入力信号（多値信号）の電圧レベル V_1 との組み合わせに応じて、当該 4 入力可変しきい電圧インバータ 8 の ON/OFF を制御する。4 入力可変しきい電圧インバータ 8 の出力は、インバータ 12 を介して出力信号 V_{out} として外部に取り出される。

【0050】この 4 入力可変しきい電圧インバータ 8 は、GA 操作部 20 から加える制御信号 V_a , V_b , V_c の値によって生成される論理確定信号 $V_2 \sim V_4$ の組み合わせで演算論理が決定され、入力信号 I_1 , I_2 の 2 値（“1”と“0”）の組み合わせに対して、出力信号 V_{out} からは所定の論理による演算結果に合致した電源電圧 V_{dd} （“1”に対応）と接地電位（“0”に対応）の組み合わせが得られる。

【0051】たとえば、図 4 (a) に示す入力信号 (I_1 , I_2) と出力信号 V_{out} と関係において、制御信号 (V_a , V_b , V_c) が $(0, 0, V_{\text{dd}})$ が入力されたとする。制御信号 V_a が 0 のときに、変換後の入力信号 V_1 が $(0, V_{\text{dd}}/4, 2V_{\text{dd}}/4, 3V_{\text{dd}}/4)$ の何れに変化しても、論理確定信号 $V_2 \sim V_4$ は全て V_{dd} となる。また、制御信号 V_a が V_{dd} のときに、変換後の入力信号 V_1 が $(0, V_{\text{dd}}/4, 2V_{\text{dd}}/4, 3V_{\text{dd}}/4)$ の何れに変化しても、論理確定信号 (V_2, V_3, V_4) は $(V_{\text{dd}}, V_{\text{dd}}, 0)$ と一定であり、前記 (1) 式で示す 4 入力可変しきい電圧インバータ 8 のしきい電圧 $V_{\text{inv}}(8)$ は $V_{\text{dd}}/4$ で変化しない。この結果、入力信号 V_1 が “0” のときはインバータ 8 が反転しないので V_{out} は “0” となるが、 V_1 が $(V_{\text{dd}}/4, 2V_{\text{dd}}/4, 3V_{\text{dd}}/4)$ のときは何れもインバータ 8 が反転し V_{out} は “1” となる。つまり、入力信号 (I_1 , I_2) が $(0, 0)$ のときのみ出力信号 V_{out} が “0” で他の組み合わせでは出力信号 V_{out} が “1” (V_{dd}) をとる OR 論理の出力が得られる。

【0052】同様に、 $(V_a, V_b, V_c) = (V_{\text{dd}}/4, V_{\text{dd}}/4, V_{\text{dd}})$ ならば XOR 論理、 $(V_a, V_b, V_c) = (V_{\text{dd}}, V_{\text{dd}}, 0)$ ならば AND 論理となる。このようにして得られた (V_a, V_b, V_c) の組み合わせと、その時の V_{out} の関係を図 4 (b) にまとめて示す。このように、バイナリ 2 入力 (4 値) の論

理ゲート $\text{CG2} \sim \text{CG4}$ によって、当該 4 入力可変しきい電圧インバータ 8 のしきい電圧 $V_{\text{inv}}(8)$ が 8 通りの組み合わせで容量比としては、 $0, C_{\text{tot}}/8, 2C_{\text{tot}}/8, 3C_{\text{tot}}/8, 4C_{\text{tot}}/8$ の 5 値で制御され、その値は以下の (1) 式で与えられる。

【0048】

【数 1】

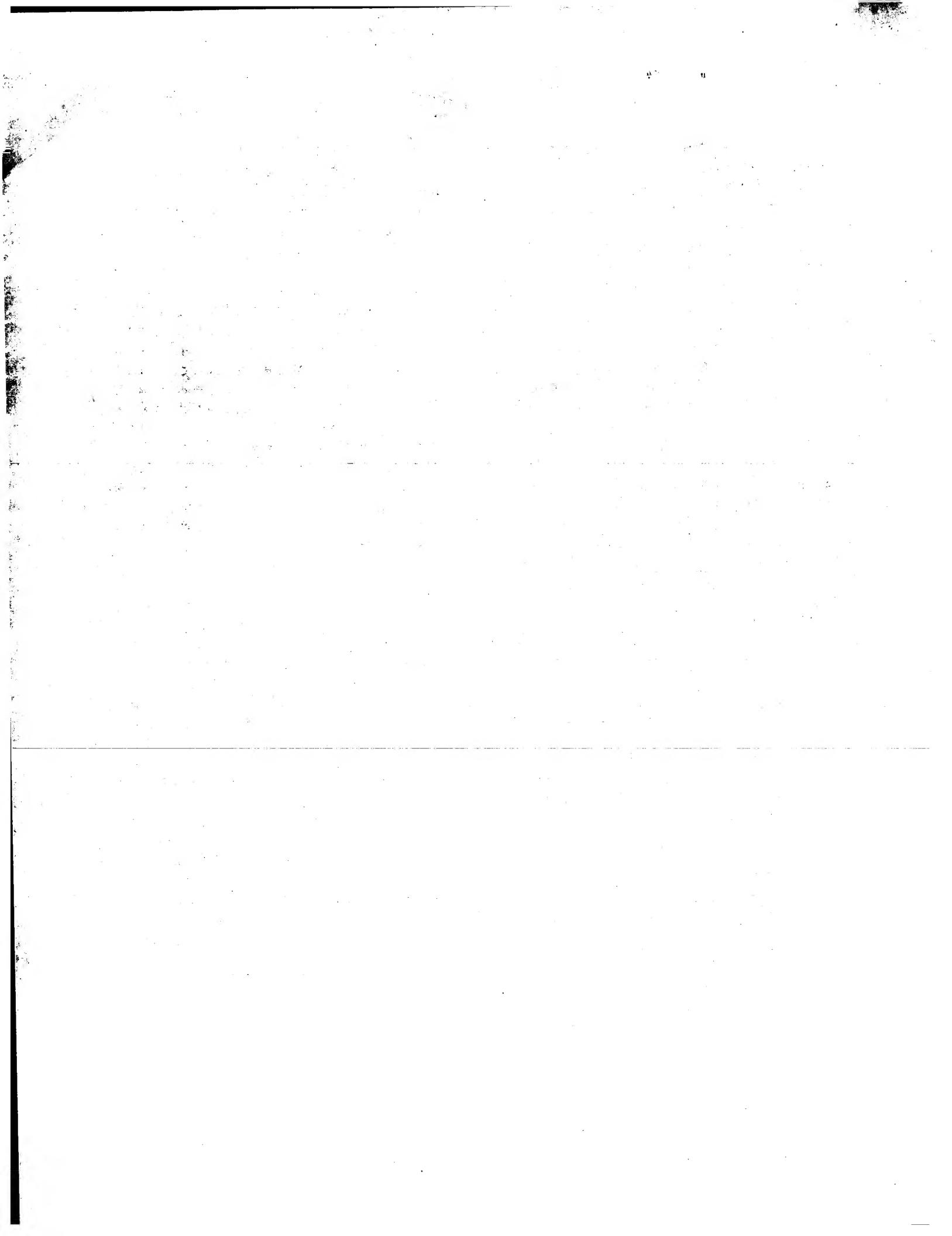
理回路 10 (SH 回路) では、演算用可変しきい電圧インバータ 8 を 4 入力 ν MOS インバータで構成し、また、それぞれが 5 値の制御信号 (V_a , V_b , V_c) からバイナリ信号（論理確定信号）を生成して、これにより 4 入力 ν MOS インバータの 3 つのしきい電圧制御電極を駆動することにより、16 個の関数をすべて表現する出力を得ることができる。

【0053】同様に、論理回路をバイナリ 3 入力 (8 値) に対応する構成とすれば 256 個の関数が、また、バイナリ 4 入力 (16 値) 対応とすれば 2 万 5536 個の関数を任意に指定し、演算することができる。

【0054】【GA 操作部 (制御信号生成部)】つぎに、図 1 における GA 操作部 20 の具体的構成例と、その動作 (GA 操作) について説明する。図 5 は、GA 操作部 20 の具体的構成例を示すブロック図である。本例の GA 操作部 20 は、制御信号 $V_a \sim V_c$ を実際の論理回路に適合した値に確定するものであり、比較部 21、選択部 22、変更部 23、制御部 24 および出力部 25 から構成されている。この GA 操作部 20 は、用意した数値列群から選択した数値列を図 1 の論理回路 10 に入力したときに得られる結果に基づいて、数値列の再選択と変更を行い、これを所望の演算結果が得られる制御信号 $V_a \sim V_c$ を生成するまで繰り返して数値列群を自律収束させるものである。GA 操作という名称は、これらの一連の動作が、数値列を遺伝子とみたてたときに、その DNA 配列の適応度を評価し (比較)、適応度に応じた発生確率で数値列を選択し (選択)、DNA 配列 (ビット列) を交叉または変異させ (変更)、再度遺伝子の組み換えを行って再度上記手順を繰り返す遺伝進化の過程に似ていることから付けられたものである。なお、各構成の詳しい動作は、次に述べる GA 操作で説明する。

【0055】【GA 操作】図 6 は、 ν MOS を用いた進化システムの動作手法を説明するために、1 つの SH 回路を用いて、遺伝的アルゴリズム (GA) により、SH 回路の論理を確定していく手順を示すフロー図である。ここでは、一例として、OR 回路の導出について示す。

【0056】先の図 1 に示す $2b_1t$ 入力の SH 回路 10 では、その論理を確定するのに V_a , V_b , V_c のそれぞれに、 $(0, V_{\text{dd}}/4, 2V_{\text{dd}}/4, 3V_{\text{dd}}/4, V_{\text{dd}})$ の 5 値信号のいずれかを加えることとした。これは、2 値に置き換えるとそれぞれの制御信号について 3 ビット (但し、3 値分冗長となる) であり、合計 9 ビッ



トの情報が必要となる。

【0057】本例では、この論理を確定する 9 bit を GA における染色体とみなす。つまり、制御信号 V_a 、 V_b 、 V_c が取り得る値 ($0, V_{dd}/4, 2V_{dd}/4, 3V_{dd}/4, V_{dd}$) をそれぞれ (000, 001, 010, 011, 100) に対応させ、これらの 3 端子についての並び (aaa, bbb, ccc) を染色体とする。ここで、a～c は “0” 又は “1” であり、制御信号は $V_a = (aaa)$ 、 $V_b = (bbb)$ 、 $V_c = (ccc)$ で表される。そして、図 6 のステップ ST 1 では、初期状態として、この染色体を何通りか用意する（図 6 では、4 通りのみ例示）。この染色体の抽出は、図 5 の構成例では、例えば制御部 24 がメモリ部 30 と出力部 25 を制御して、順次行う数値列（染色体）の出力制御で達成される。

【0058】ステップ ST 2 では、用意した染色体（制御信号）の適応度 S を評価する。具体的に図 5 の例では、出力部 25 から順次出力された数値列（染色体）が論理回路 10 に制御信号 V_a 、 V_b 、 V_c に分けて各制御端子に入力され、そのときの出力信号 V_{out} が比較部 21 にフィードバックされる。また、制御部 24 の制御を受けてメモリ部 30 から所望の演算結果（出力信号 $V_{out'}$ ）が比較部 21 に送られる。比較部 21 は、両出力信号 V_{out} 、 $V_{out'}$ を比較して、入力信号の組み合わせに応じた出力信号 D1～D4（図 4 参照）ごとに、一致度を判定する。このとき、出力信号 D1～D4 が全て一致すれば適応度 4、全て一致しなければ適応度 0 となる。たとえば、図 6 に 4 つ例示する最初の染色体 1 では、 $(V_a, V_b, V_c) = (001, 011, 011)$ であり、図 4 (b) の真理値表を参照すると、この場合は NOR 出力となるので、所望の OR と出力信号 D1～D4 が何れも一致しないことから、適応度 S は “0” と判定される。同様に、図 6 の染色体 2 は 1 出力が一致して適応度 1、染色体 3 は 2 出力で一致して適応度 2、染色体 4 は 3 出力で一致して適応度 3 と判定される。

【0059】適応度 4 の染色体が一つでも存在すれば、この染色体が実際の論理回路 10 で所望の演算結果を得るために正しい制御信号として確定し、フローが終了する。

【0060】適応度 4 が存在しない場合は、フローがステップ 3 に進み、求めた適応度 S に応じた確率で染色体の組が選択される。この選択は、図 5 の制御部を介して適応度情報を受け取った選択部 22 により実行される。たとえば、図 6 の例では、最も適応度が高い染色体 4 と次に適応度が高い染色体 3 の組が 1/2 の確率で選択され、染色体 4 と三番目に適応度が高い染色体 2 の組と、染色体 2 と 3 の組が、それぞれ 1/4 の確率で選ばれている。選択後の染色体の組は変更部 23 に送られる。この染色体操作により、適応度が低いものほど選択から漏

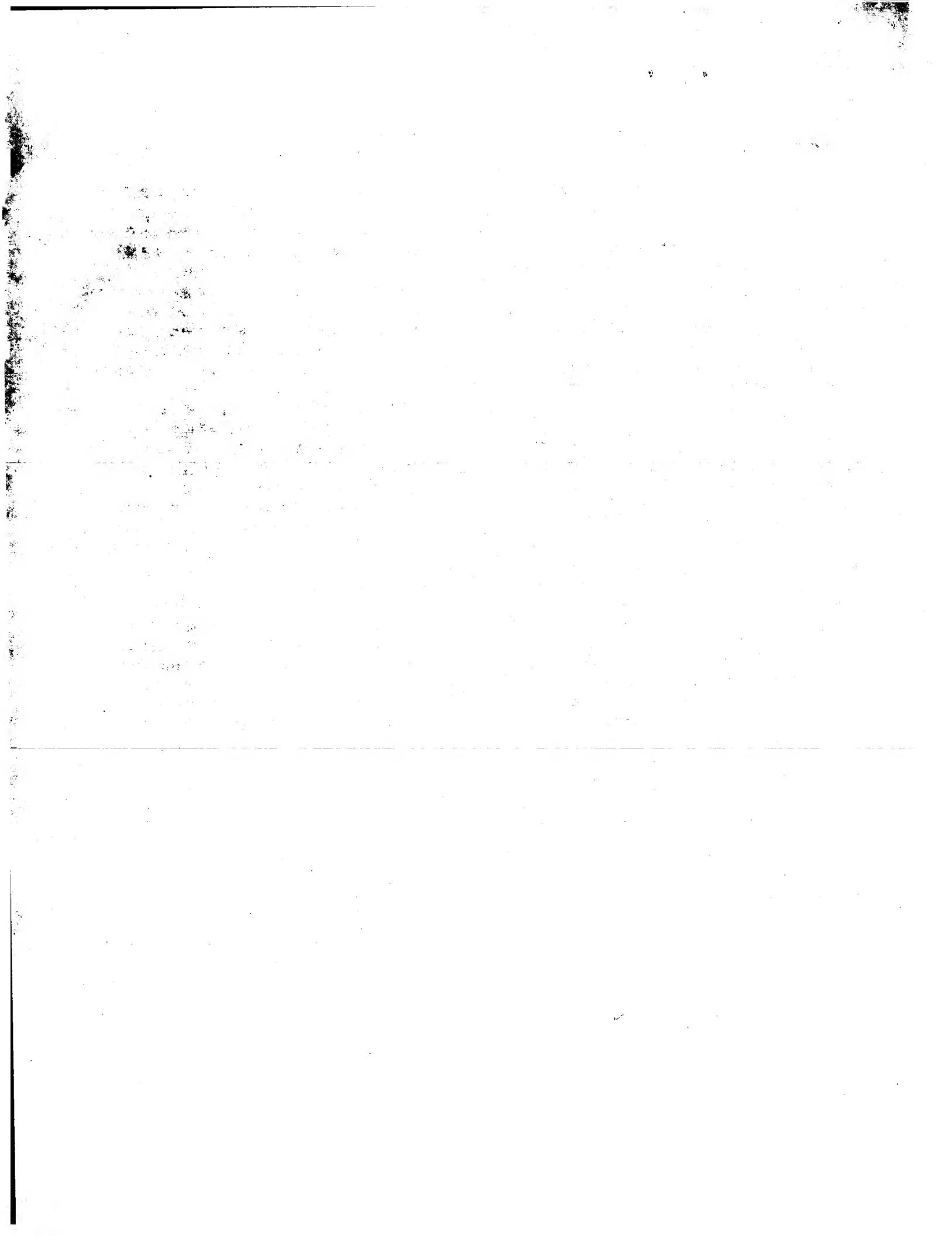
れて自然淘汰され、適応度が高いものほど存在確率が高くなる。

【0061】ステップ ST 4 では、例えば図 5 の変更部 23 において、選択後の染色体の組に対しビット交叉またはデータ変異が実行される。本例におけるビット交叉」とは、各染色体の組間で、異なるビットがある場合、そのビットを $V_a \sim V_c$ ごとに一つだけ交換することをいう。また、図 6 の例では具体的に実施していないが、「データ変異」とは、例えば、新しくつくられた新染色体の任意のビットを $V_a \sim V_c$ ごとに一つだけ反転することをいう。ビット交叉またはデータ変異によって、新たな染色体が生成されたことになり、これが図 5 の出力部 25 に送られる。

【0062】ステップ ST 5 では、例えば図 5 の出力部 25 において、古い染色体群が新たな染色体群と置き替えられ、最初の世代交代が終了する。次いで、フローが再度、ステップ ST 2 に戻り、適応度 S の評価 (ST 2)、染色体の組選択 (ST 3)、ビット交叉またはデータ変異 (ST 4) のサイクル（世代交代）を、適応度 100%（図 6 の例では、適応度 4）の染色体が得られるまで繰り返す。適応度 100% の染色体は、メモリ部 30 に格納され、必要に応じて制御信号として論理回路の動作に供せられる。

【0063】なお、以上の説明は GA 適用の一例であり、初期の染色体数、適応度評価法、染色体の選択法、ビット交叉データ変換手法は、使用状況に応じて最適な手段が選ばれる。また、論理回路の機能の変更は、制御部 24 がメモリ部 30 から読み出す所望の演算結果を変えるだけで、後は上述した手順を実行することで容易に達成される。さらに、同じ論理回路に対し論理確定が繰り返され、同じ論理回路は同じ論理関数で用いられることが多い場合では、ステップ ST 1 で数値列を用意する際、使用頻度が高いほうのものから染色体を選ぶようにすると、世代交代のサイクル数が少ない段階で希望の数値列を特定できる。つまり、数値列選択に学習機能を持たせることにより、効率の向上を図るようにすることができる。

【0064】本実施形態の半導体装置は、シミュレーションではなく実際に実現可能に具体化された手段により GA 手法を適用した半導体デバイスである。本半導体装置の論理回路は、演算論理を変更可能なものとしては、例えば従来の PLD 等に比べ簡易な構成を有する。また、演算論理の確定が制御信号の変更で済むためリアルタイムで論理を変更しながら動作することが可能である。本実施形態では、この制御信号の確定に GA 手法が適用され、GA 操作部（制御信号生成部）が実際の演算結果をもとに自律的な過程で、実際の論理回路に適合した制御信号を生成する。通常の論理回路では機能を固定して、それに最適な配線等の設計的な要素が加味されているので、機能が変更されると設計の最適ポイントが狂



つて誤動作を誘うが、GA手法による論理確定では、正常動作が個々の論理回路レベルで確實に保証され、動作精度が格段に高いものとなる。また、周囲の環境変化、例えば温度変化、入力信号の劣化或いはノイズ環境の劣化等があった場合、論理回路に対し、その環境において所望の演算結果を得ることができる制御信号が付与されるので、誤動作することなく自律的に適応できる、即ち環境適応性がある。たとえば、これらの環境変化によって、従来構成では動作マージンがなくなったり、或いは例えばNANDとANDの論理が逆転して誤動作する場合でも、本発明では論理回路を正しい解を得られるように制御するので、飛躍的に誤動作の確率が低減する。これに加え、本実施形態では、機能自体の変更にGA手法が適用できるので、遺伝的アルゴリズム操作における柔軟性、多様性が極めて高い。

【0065】第2実施形態

上述した第1実施形態では、SH回路にGAを適用する手法を説明することを主目的として1つのSH回路に着目した。この場合、設計、プロセス上の要因、環境要因に対する動作精度が高い利点があったが、それらの要因による誤動作の心配がない場合では、実際に1つのSH回路の論理を確定するビット列は、真理値表から求めたものと一致して容易にわかるので、論理確定のためにわざわざGAを使用する利点は薄い。しかし、複数のSH回路を用いて大規模な回路を形成する場合は、所望の回路を確定する全ビット列を得ることは容易でなくなるため、GAによる論理確定手法がより重要となる。

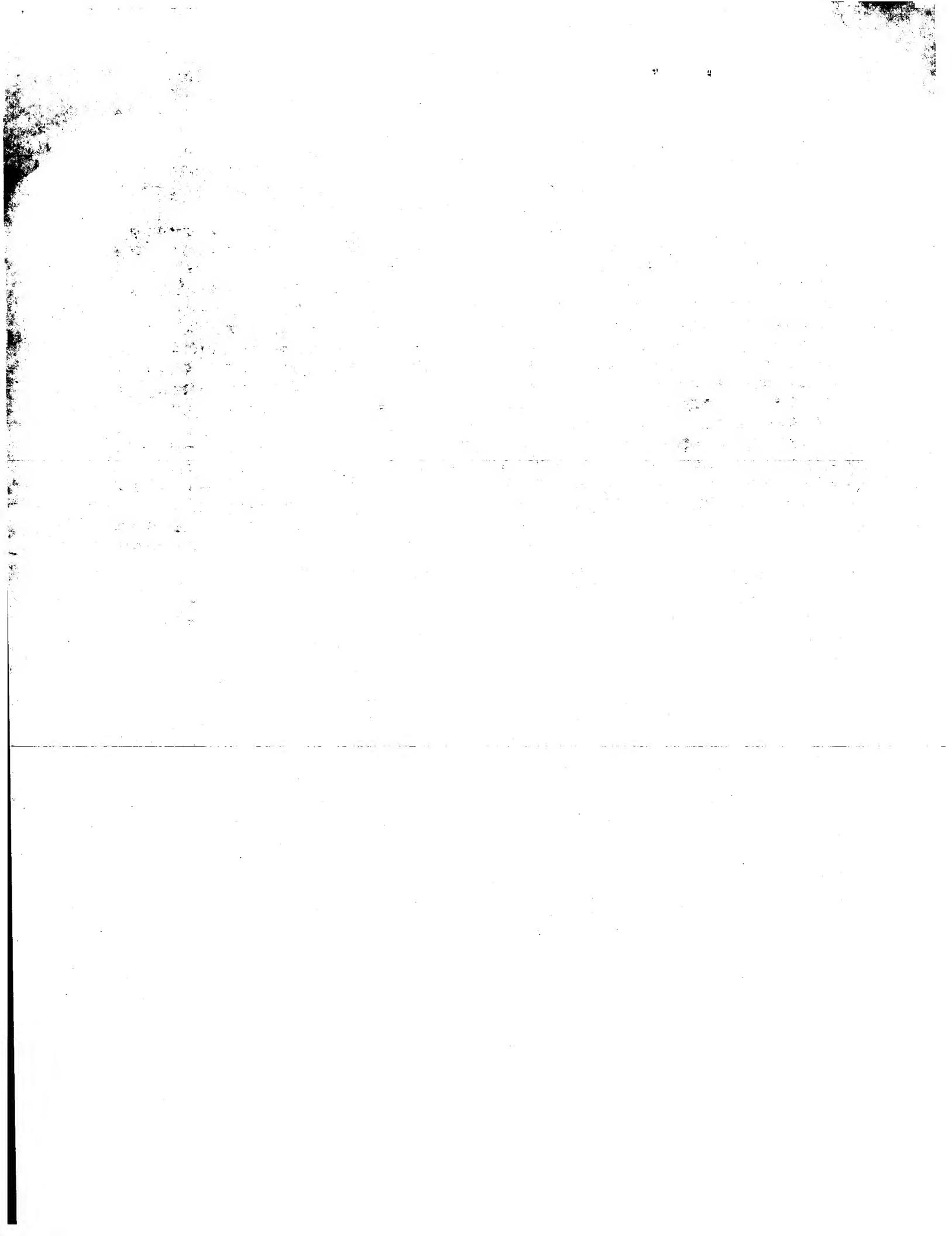
【0066】本実施形態では、複数のSH回路と配線接続手段を組み合わせて用いる半導体装置と、その組み合わせ回路をGAにより自動構築する手法を説明する。その際、簡単な組み合わせ回路として、マルチプレクサ回路を例示して、その構成と生成（自動構築を含む）動作とを説明する。

【0067】図7は、本実施形態の論理回路例としたマルチプレクサを示す図である。また、図8は、図7のマルチプレクサの等価回路図である。本例のマルチプレクサ40は、図7に示すように、4つの入力端子にそれぞれ入力される4データI1～I4の何れかを2つのアドレスビットA1、A2の組み合わせで選択的に单一な出力端子から出力する6入力のマルチプレクサ（6マルチプレクサ）である。この6マルチプレクサ40は、等価回路上では、その初段に各入力信号A1、A2及びI1～I4をそれぞれ反転する6つのインバータINV1～INV6を有する。インバータINV1～INV6の出力は、制御信号A1、A2、その反転信号A1_、A2_、及び入力信号I1～I4の反転信号のうち、3信号を入力する4つのアンド回路AND1～AND4に接続されている。アンド回路AND1にA1_、A2_、I3_が入力され、アンド回路AND2にA1_、A2_、I4_が入力され、アンド回路AND3にA1、A2、

I1_が入力され、アンド回路AND4にA1、A2_、I2_が入力される。これらアンド回路AND1～AND4の出力は、最終段のノア回路NORに接続されている。

【0068】このような構成のマルチプレクサ40は、(A1、A2) = (0, 0) のとき、4つのAND回路のうち出力が1になる可能性があるのはアンド回路AND2のみであり、したがって、入力信号I4の論理状態に応じて当該マルチプレクサ40の出力が変化する。つまり、(A1、A2) = (0, 0) のとき入力信号I4が選択されて出力される。同様に、(A1、A2) = (1, 0) のとき入力信号I2が選択され、(A1、A2) = (0, 1) のとき入力信号I3が選択され、(A1、A2) = (1, 1) のとき入力信号I1が選択され、それぞれ出力される。

【0069】図9には、SH回路の組み合わせのベースとなる配置パターンを、上記図7及び図8に示す6マルチプレクサ40を例に示す。図9中、SH1～SH3は図1で示したのと同様な論理回路（SH回路）であり、これらSH回路SH1～SH3で図8における最終段のノア回路NORを構築している。つまり、SH1とSH2で2つの2入力OR回路を並列に設け、その2入力OR回路の各出力を入力とする单一の2入力NOR回路をSH3で実現している。このような複数のSH回路の配列に対し、各SH回路に入力するピンを選択する接続アレイが存在する。接続アレイは、その接続パターンをデータ入力ピンとSH回路入力ピンのマトリックスの各交点について指定でき、SH回路への入力信号は、SH回路入力ピン上に接続されたピンのAND論理となる。つまり、この接続アレイによって、図8の4つのAND回路AND1～AND4と、その入力選択が実現されている。さらに、各SH回路間の接続を行うために、各SH回路の入力ピンには、任意のSH回路の出力からのフィードバックが接続可能であり、これも上記と同様にマトリックス指定できる。そして、これら入力とは別に各SH回路の制御端子に入力する制御信号(Va、Vb、Vc)を指定するマトリックスが存在する。このマトリックスは、先に第1実施形態で記述したように、図示しないGA操作部20によって制御電圧値(0, Vdd/4, 2Vdd/4, 3Vdd/4, Vdd)の中から、GAによる論理確定手法で所望の演算結果（ここでは、図8の回路ロジック）を得るために最適な電圧を選択することができ、これによりSH回路の論理を確定する。図9は、真理値表にしたがった通常の論理確定結果で各SH回路が動作できる場合を例示している。但し、図9において制御電圧の接続点は実際に接続設定をする手段が設けられているのではなく、単に、GA操作部20による制御電圧の選択パターンを示すに過ぎない。これに対し、データ入力ピン、場合によってはフィードバック制御ピンとの接続点は、接続設定をする手段が実際に設けられて



る。

【0070】これらのマトリックスの接続手段は幾つか考えられるが、回路の書き換えを頻繁に行うことを考慮すると、フラッシュメモリ素子型のスイッチが望ましい。フラッシュメモリ素子は、図2に示したvMOSと同様に、フローティングゲート型のMOS構造をしているので、デバイスの製造上、SH回路を構成するvMOSと同時に形成することができ、製造コスト等の面において極めて有利である。また、書き換え方式にもよるが、その書き換え可能回数も 1×10^6 回程度、保証でき、この点でも有利である。

【0071】このような配置の回路において、各アレイの接続情報の確定とSH回路の制御電圧情報の確定は個別に設けたGA操作部により行ってもよいが、その2つの情報を一つの染色体とみなすと、一つのGA操作部で配線接続と論理関数の確定を同時にを行うことができる。本例の場合、即ち6マルチブレクサの構築では3つのSH回路ブロック(SH1～SH3)を使用することから、これによる染色体数は、データ入力ピンの接続アレイにおいて72ビット、フィードバックアレイに24ビット、論理規定ビット27ビットの計123ビットとなる。なお、制御電圧の指定は、各マトリックスの接続の有無で決めるのではなく、先の第1実施形態と同様に、1制御端子につき3ビットでSH回路ごとに9ビット、3個のSH回路合計で27ビットにより決定される。

【0072】このような大きさの染色体を複数用意し、これらに対し先の第1実施形態と同様に図6で示した手順でGA操作を行う。そして、その結果、最終的に図9中の黒点を接続とする回路が解として得られる。

【0073】以上の手法を利用すると大規模な進化システムの構築が可能となる。つまり、外部環境の変化に応じて最適なレスポンスを行うデバイス(機能回路ブロック)を必要とする時、このリアルタイムで論理を確定する必要があるデバイス部分を幾つかのSH回路で実現し、機能回路ブロックの出力を基に適応度評価を行うGA操作部等の論理確定部の結果を外部から各SH回路に与えてやれば、機能回路ブロック全体が自律的に最適な回路構成と出力を探索してくることができる。なお、接続アレイを有する場合、そのマトリックス設定は、通常の不揮発性メモリ素子等を書き込み／消去する制御で達成できることから、ここでの説明は省略する。

【0074】上述した本実施形態に係る半導体装置は、従来例に対して以下の利点がある。まず、本例(図9)とPLDの構成(図13)を比較してみると、入力部にANDアレイを用いるところは同様であるが、本実施形態で図示した回路構成は、PLDの論理マクロに相当するものを、SH回路に置き換えた構成になっている。通常、PLDのプログラミングは、AND論理とOR論理の組み合わせによって回路を構成する加法標準形が基本となっており、論理マクロの部分には、OR論理やX

OR、また、順序回路を構成する時に使用するフリップフロップなどの回路が含まれる。よって、6マルチブレクサのような単純な回路の構成においても、論理マクロのような大きな規模の回路群が必要となってしまう。しかしながら、本実施形態で図示した回路構成は、その論理マクロ部をSH回路で置き換えており、デバイスのゲート規模を小さく抑えることが可能となる。

【0075】本実施形態では、SH回路が任意の布尔関数を設定できることから、全体の回路構成も加法標準形に制限されることはない。よって、最終的な全体の回路構成もPLDの場合に比べ簡略化されたものが形成される。また、それは、遺伝的アルゴリズムを使用した場合に、より少ない染色体数で所望の回路を形成できることを意味し、柔軟性、多様性の高い進化システムの構築が可能となる。

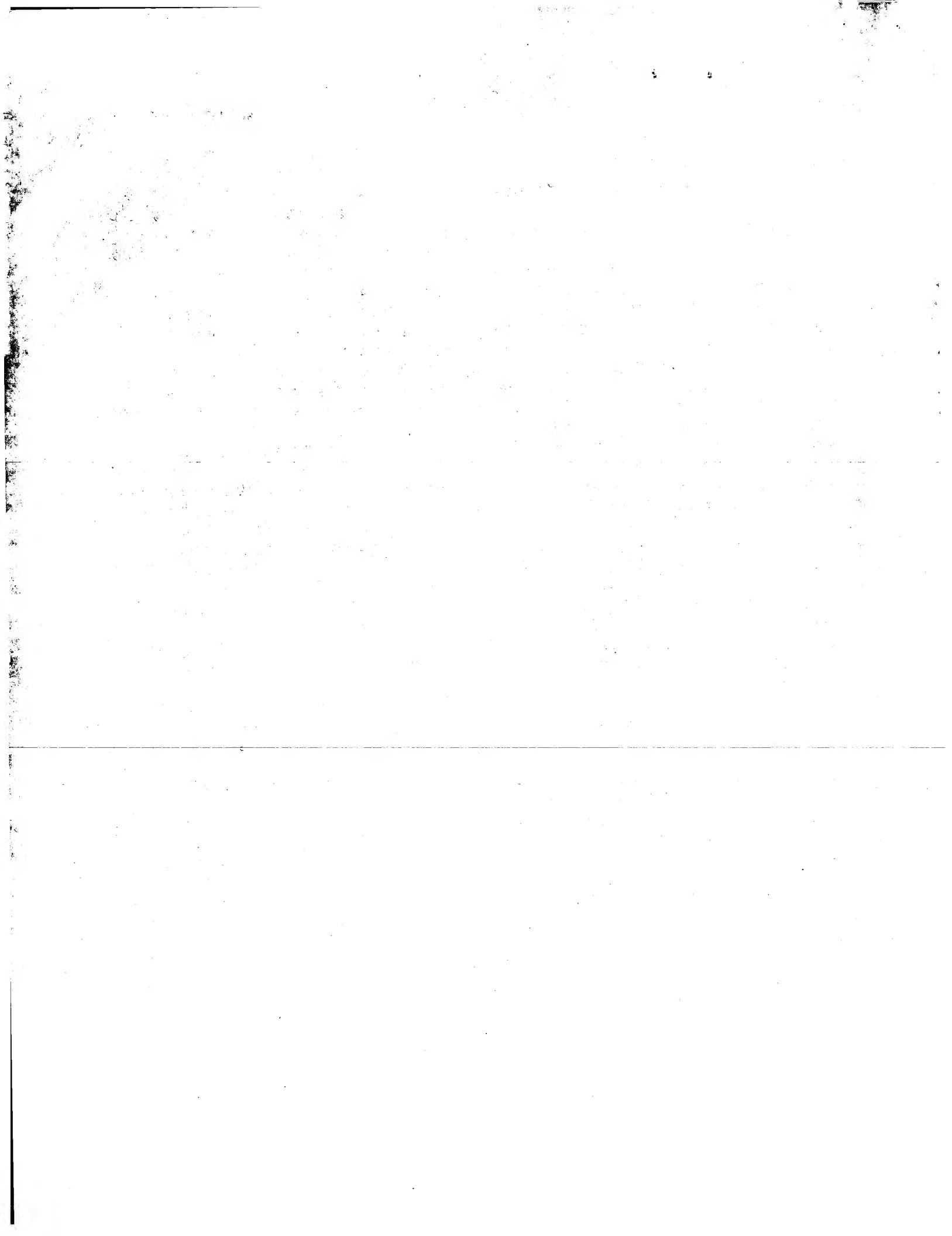
【0076】本実施形態では、制御電圧の切り替えを単純に電源切り替え回路を用いているので、PLDの接続変更に比べて、はるかに高速の切り替えが可能となる。PLDを用いた進化システムでは、高速なプログラミングが難しいために、リアルタイムに変化していくシステムの構築は困難であったが、本実施形態では、高速でのハードウェアプログラミングが可能となり、リアルタイムに変化していくシステムの構築が可能となる。

【0077】最後に、本実施形態における変更可能な事項を幾つか指摘しておく。

【0078】まず、上記説明では、1つのSH回路の制御電圧の指定に第1実施形態と同様に9bit(3つのSH回路で合計27bit)を用いるとしたが、直接、16個の布尔関数の内から1つを選択するようになると、1つのSH回路について4bit、計12bitで済む。この点は、第1実施形態においても同じである。また、図9の回路構成例では2入力のSH回路を用いているが、3端子の或いは4端子等、入力端子を多数有する多入力型のSH回路を使用すれば、より簡略化され、さらに、柔軟性、多様性の高いシステムを構築することができる。

【0079】本実施形態において図示した回路構成(図9)では、入力部にANDアレイを用いているが、これらを用いずに、外部入力を直接SH回路に接続する構成も可能である。また、以上の説明では、図8の各AND回路を接続アレイで実現したが、これを例えれば多入力のAND関数指定された複数のSH回路で置き替えることもできる。さらに、同様にフィードバック制御も複数のSH回路で置き替えることも原理的には可能である。

【0080】上述した説明では組み合わせ回路について言及したに留まっているが、図9の回路構成に対し、さらにフリップフロップ等の回路を組み合わせれば、順序回路の構成も可能となる。また、図9の回路構成は、接続アレイの接続と、制御電圧を選択することにより、単にPLDもしくはFPGA等と同様なプログラマブルデ



バイスとして使用することも可能である。

【0081】第3実施形態

先の第1（及び第2）実施形態では、2入力可変しきい電圧インバータA～Cのしきい電圧の設定／変更を制御電圧 V_a ～ V_c によって行っていたが（図3）、本実施形態では、可変しきい電圧インバータを構成するフローティングゲートFG中に電荷を注入し、もしくはFGから電荷を引き抜くことにより、外部からではなく内部状態としてしきい電圧を記憶できるようにした実施形態である。このフローティングゲートの電荷量により記憶を保持する方法は、現在実用化されているフラッシュメモリやEEPROMのデータ記憶／消去方法と原理的に同じものである。

【0082】図10（a）は、本実施形態に係る2入力可変しきい電圧インバータの平面図、図10（b）は断面図である。この2入力可変しきい電圧インバータ50では、p型半導体基板51に形成されたnウェル52と、その他のp型半導体基板領域との表面部分に素子分離絶縁膜53が形成されている。nウェル52内の素子分離絶縁膜周囲（pMOSの能動領域）と、p型半導体基板内の素子分離絶縁膜周囲（nMOSの能動領域）にそれぞれゲート絶縁膜54p、54nが形成されている。ゲート絶縁膜54p、54n上と、両者間の素子分離領域53上には共通なフローティングゲートFGが積層されている。

【0083】このnMOSトランジスタでは、外部からのしきい電圧制御信号は必要としないので図3で示された V_a 端子は存在しない。その代わりに、フローティングゲートFG上に、その注入電荷量をコントロールする電荷注入制御ゲートCGW/Eがゲート間絶縁膜55を介して積層され、また、これと並んでD-A変換器からの変換後の入力信号が印加される制御ゲートCGが、フローティングゲートFG上にゲート間絶縁膜56を介して配置されている。なお、第1及び第2実施形態で使用したような通常のnMOSトランジスタでは、フローティングゲート下のゲート絶縁膜の厚さは、通常10nm～20nm程度の厚めの膜に設定するが、本実施形態では、フラッシュメモリと同様に10nm以下の薄い酸化膜を使用する。

【0084】このような構造の2入力可変しきい電圧インバータ50において、基板を0Vに保ち、電荷注入制御ゲートCGW/Eに正の高電圧（例えば、18V程度）を印加すると、基板からフローティングゲートFGへ電子が注入されると、これが負に帯電し、D-A変換器からの信号入力端子からみたインバータの見かけ上のしきい電圧は上がることになる。逆に、電荷注入制御ゲートCGW/Eに負の電圧を印加して、基板に電子を引き抜くか、基板からホール（正電荷）を注入してフローティングゲートFGを正に帯電させることにより、見かけ上のしきい電圧は下がる。

そこで、電荷注入量をコントロールし、5段階のしきい電圧を設定すると、外部信号を必要としない2入力可変しきい電圧インバータを構成することができる。このしきい電圧は、チップの電源電圧をOFFしても状態が消失しない不揮発性となる。よって、このようなしきい電圧書き込み操作を、SH回路の論理の確定段階において行えば、内部状態としてしきい電圧、つまり確定論理を保持することができる。消去操作は、上記書き込みの場合とゲート絶縁膜にかかる電界方向を逆として、同様に行う。図11には、このしきい電圧書き込み／消去を行う手段、即ちしきい電圧制御手段57を、しきい電圧記憶型の2入力可変しきい電圧インバータ50とともに示す。

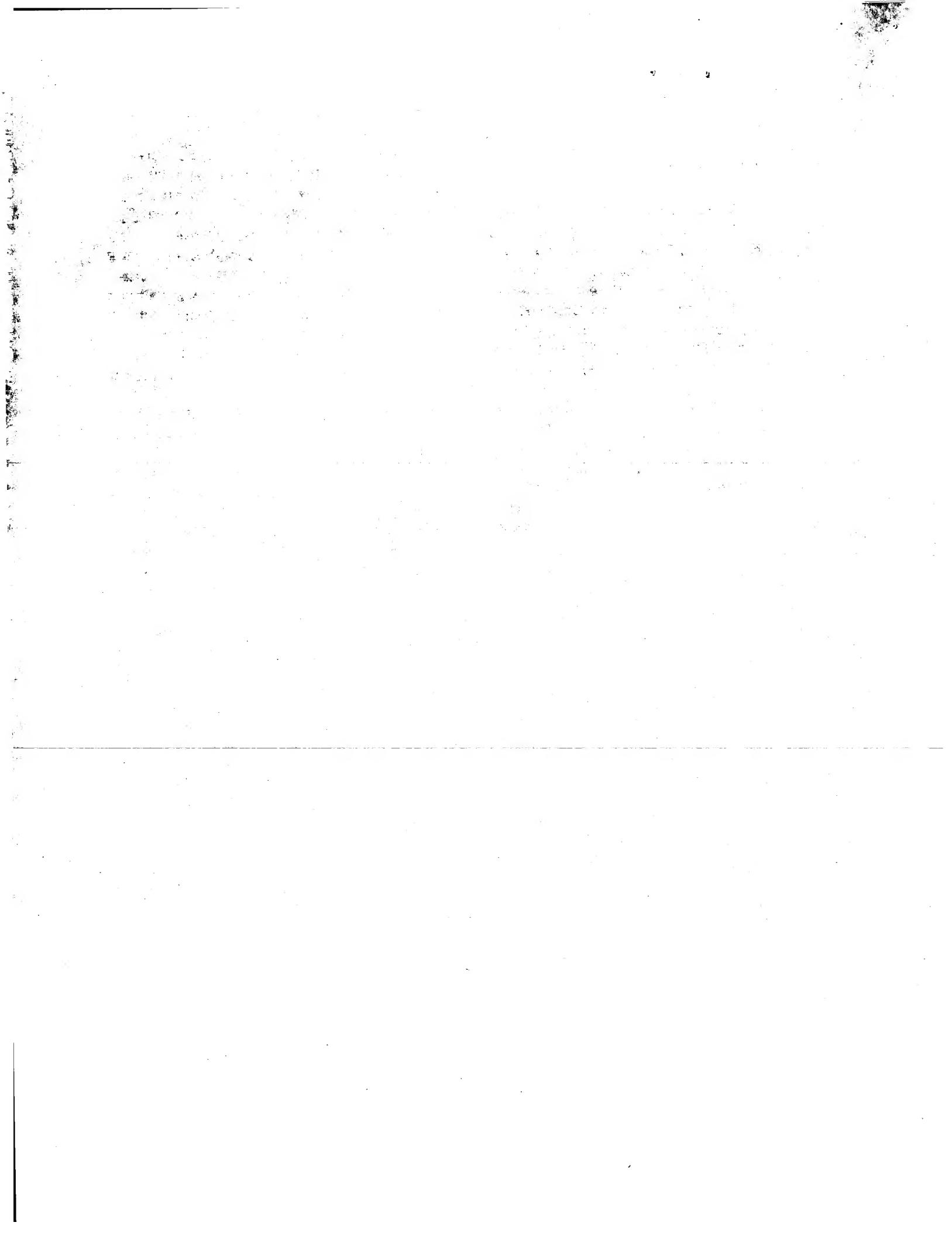
【0085】本実施形態では、通常の論理関数を確定において、同じ論理関数が連続して用いられる場合等にあっては、一旦論理関数を確定すればその状態が保持できるので、多数のSH回路に共通な書き・消去制御手段57を設け、必要な箇所の論理関数の書き換えを行う制御が可能、時間的な効率化を図ることができる。また、例えば図示しないGA操作部により、SH回路で所望の演算結果が得られる論理関数を確定した後に論理関数を固定したいときに、この書き・消去制御手段57を用いる制御も可能である。

【0086】第4実施形態

本実施形態では、上記第3実施形態で示した電荷注入量の調整によるしきい電圧の設定を、先の第1及び第2実施形態で示す制御電圧の印加とともに併用して、論理関数の確定制御を行う場合について示す。

【0087】本実施例の可変しきい電圧インバータは、図10に示される構造と基本的には同じである。ただし、図10で示した電荷注入制御ゲートCGW/Eをしきい電圧制御信号の入力制御ゲートと兼用する（以下、兼用コントールゲートと称する）。この切り替えは、各オペレーションごとにスイッチの切り替えによって行われる。第1及び第2実施形態の2入力可変しきい電圧インバータでは、D-A変換器（入力変換部2）から変換後の入力信号が入る端子からみたしきい電圧は制御電圧のみによってコントロールされるが、本実施形態では、さらに第3実施形態と同様にフローティングゲートへの電荷注入を行い、しきい電圧設定のパラメータを増やしている。このようにすると、制御電圧によってコントロールできるしきい電圧に制限を加えることができる。言い換えれば、制御電圧によるしきい電圧の変化を鈍感にしたり敏感にしたりできる。

【0088】たとえば、2入力可変しきい電圧インバータのしきい電圧 V_{inv} は $V_{inv} = V_{dd} - V_a$ と表されるので、しきい電圧を低く（例えば $V_{dd}/4$ に）設定したい場合は通常、制御電圧 V_a を高く（ $3V_{dd}/4$ に）設定する。しかし、フローティングゲートFGに電子を予め注入しておくと、同じバイアス状態でもしきい電圧は



さらに高く（例えば、 $2V_{dd}/4$ または $3V_{dd}/4$ に）なる。逆にフローティングゲートFGに正孔を注入しておくと、同じバイアス状態に対しきい電圧は低くなる。

【0089】このフローティングゲートFGへの電荷注入と、制御電圧 V_a を確定するGA操作は独立して行われる。GA操作を行う場合は兼用コントロールゲートをしきい電圧を制御する信号印加用端子として、先の第1又は第2実施形態と同様な操作を行う。それに対し、フローティングゲートFGへの電荷注入時には、兼用コントロールゲートを電荷注入用の制御端子とし、この制御端子に電子注入の場合は正の高電圧、正孔注入の場合は負の高電圧を印加する。

【0090】以上のように利用すると、SH回路を用いた「進化するハードウェア」としての半導体装置に学習機能を付加することができる。以下、先の第3実施形態で示した6マルチプレクサ回路を例に、学習機能を付加したときの動作を説明する。

【0091】GA操作によって得られた6マルチプレクサ回路（図9）では、最終的にSH1, SH2はOR論理、SH3はNOR論理となる。SH回路におけるOR論理を例にとると、この論理は通常、制御電圧の組み合わせ $(V_a, V_b, V_c) = (0, 0, V_{dd})$ によって達成される。これに対し、例えば、2入力可変しきい電圧インバータAのフローティングゲートFGに上記方法により電子を注入し、内部状態としてのしきい電圧を $V_{dd}/4$ だけ高い方にシフトしておくと、OR論理は $(V_a, V_b, V_c) = (0, 0, V_{dd})$ または $(V_a, V_b, V_c) = (V_{dd}/4, 0, V_{dd})$ の2種類の制御電圧の組み合わせにより達成することができる。また、内部状態を $2V_{dd}/4$ だけ高い方にシフトしておくと、さらに $(V_a, V_b, V_c) = (2V_{dd}/4, 0, V_{dd})$ の組み合わせが加わる。そして、更に内部状態しきい電圧を高い方にシフトさせ $+V_{dd}$ 以上にしておくと、何れの V_a 値に対してもOR論理となり、 V_a は論理確定に貢献しなくなる。同様なことは2入力可変しきい電圧インバータBについても成り立ち、さらに、Cについては、しきい電圧を V_{dd} とすることにより V_c の貢献をなくすことができる。よって、2入力可変しきい電圧インバータA, B, Cのしきい電圧をそれぞれ $+V_{dd}$, $+V_{dd}$, $+V_{dd}$ だけ高めシフトしておくと、そのSH回路は制御電圧によらずOR論理に確定することになる。

【0092】このように、内部状態のしきい電圧をシフトさせた状態で図6で示したGA操作を行うと、OR論理等を構成する染色体の組み合わせが多くなり、論理確定までのGAサイクル数を少なくすることが可能となる。したがって、以上の手法をGAを用いた「進化するハードウェア」に適応すると、ハードウェアの進化プロセスに学習性を持たせることができる。

【0093】「進化するハードウェア」では、外部の環

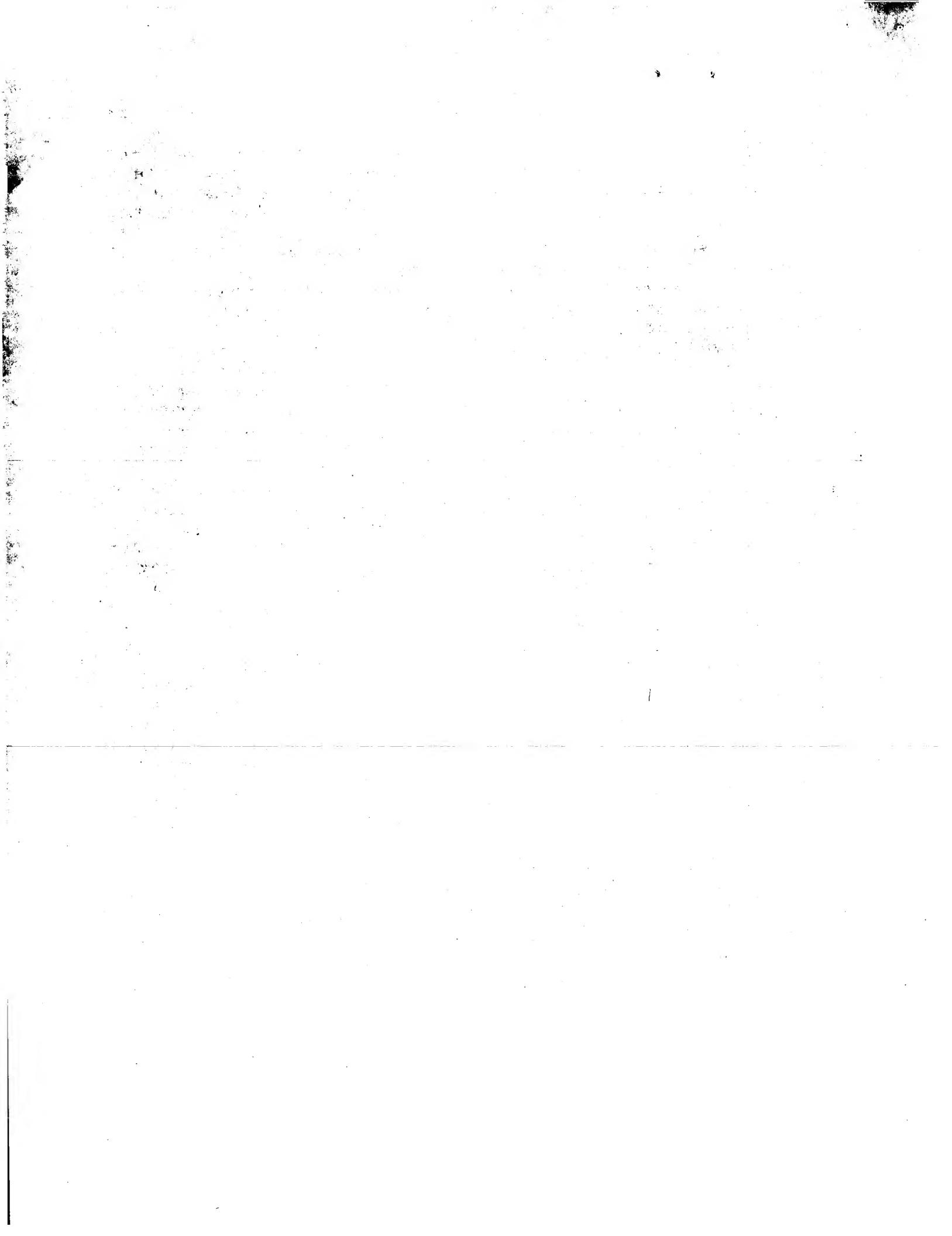
境変化に応じて、GA操作を繰り返し、最適なハードウェア論理を構築していく。このとき、GA操作に時間がかかると、速く変化する外部環境に対応しきれなくなってくる。文献(1)に記載されたSH回路を用いない従来構成の6マルチプレクサ回路では、およそ200サイクルのGA操作が必要となることから、とても外部環境に対応することはできない。

【0094】これに対し、本実施形態では、上述したように、GA操作によって論理が確定した時点で、その結果応じてSH回路内の確定信号生成部において内部状態としてのしきい電圧を予め変化させておくことができる。このため、次回以降のGA操作により、その論理を構成する確率を高くして、同一論理を形成する染色体数が多くなる制御が可能となる。つまり、頻繁に使用する論理に対しては、頻度に応じて論理の固定化の度合いを高めることができ、これによってGA操作に要する時間を短縮することが可能となる。

【0095】6マルチプレクサ回路では、上記2入力可変しきい電圧インバータA, Bのしきい電圧を $V_{dd}/4$, $2V_{dd}/4$ 又は $3V_{dd}/4$ だけ高い方にシフトさせるという操作により、通常時よりも少ないサイクル数で回路の確定が可能となる。さらには、図9においてSH1, SH2の2入力可変しきい電圧インバータA, B, Cのしきい電圧をそれぞれ $+V_{dd}$, $+V_{dd}$, $+V_{dd}$ に設定しておくと、いずれもOR論理に決定される。したがって、SH3の2入力可変しきい電圧インバータのみ通常の制御電圧印加でNOR論理値を確定すればよく、GA操作における染色体のビット数を1/3に低減できる。また、SH3を内部しきい電圧を調整したOR論理とし、インバータを通した後の出力を得れば、全ての論理を可変しきい電圧インバータの内部状態として確定することができる。この場合はGA操作は配線の接続だけに行われることになり、GA操作時間は極めて短くなる。また、さらに、これらの配線接続についても、通常のPLDと同様にフローティングゲート型セルを利用し、不揮発性記憶として保持すると、6マルチプレクサ回路全体を、不揮発性の状態として確定することができる。

【0096】第5実施形態

上述した第1～第4実施形態までは、SH回路への入出力は2値、SH回路内部では4値の信号(0, $V_{dd}/4$, $2V_{dd}/4$, $3V_{dd}/4$)を取り扱い、入力と出力の関係は、ブール関数で表現される範囲に限定されている。それに対し、図1のSH回路において、確定信号生成部4を構成する可変しきい電圧インバータを、入力変換部2と同様なD-A変換器で構成するならば、確定信号生成部4経由の信号ルートを含む入力変換部2と可変演算部6間（内部）の信号が全て多値として構成されるようになる。また、可変演算部6をもD-A変換器で構成させると、入出力信号を含め全ての信号が多値化される。



【0097】このとき、制御信号としては、D-A変換器の出力レベルを変化させる端子が使用される。この端子への入力電圧を変化させると、D-A変換器の出力信号は、0VとV_{dd}の間で4（変換後の入力信号レベル数）×n（制御信号の変化ステップ数）の電圧レベル数をとり、多値化される。よって、このような構成にすると、出力部のゲートに印加される電圧レベルの多様性を増すことができる。この2入力可変しきい電圧インバータをD-A変換器に変更した構成では、D-A変換器の出力が多値化されるので、図1の構成のように、論理演算用可変しきい電圧インバータ8の制御電極②～④を一本化できるのみならず、多値化の度合いによっては、当該D-A変換器を一つ設ければよくなり、構成を簡素化できる利点がある。

【0098】さらに、SH回路の可変演算部6のνMOSインバータ（論理演算用可変しきい電圧インバータ8）をD-A変換器で構成させると、出力も多値になる。このような多値出力のSH回路を図9のシステムに適用すると、SH回路間の入出力が多値信号となり、システム内全体で、極めて高い自由度をもった回路網を構築することができる。さらに、多値レベルを増やす延長線上の手段として、SH回路内部、または、システム全体の信号をアナログとして取り扱えば、理論的に回路構成の自由度は無限となる。これは、生命体中の信号処理と同様な多様性を構築し得ることを意味し、生命体に近い進化システムを可能にする技術となる。

【0099】第6実施形態

本実施形態では、上述した第1～第5実施形態を統合することで、「進化するハードウェア」を半導体チップ上に構築した場合を示す。

【0100】本実施形態の半導体装置（1チップIC）を、図12に示す。この半導体装置60は、大きく3つの部分からなり、上記第1～5の実施形態のνMOSを用いた進化ハードウェア部61、GAにより進化ハードウェア部61を制御するGA操作部62（図1のGA操作部20に該当）、及びメモリ部63から構成される。

【0101】進化ハードウェア部61は、上述した実施形態で示したSH回路と接続アレイの回路群からなり、実際に自律適応性（環境適応性、自己欠陥回避性、或いは学習性）を発揮し論理を変更しながら進化していく部分である。GA操作部62は、染色体の適応度評価、染色体選択、ビット交叉、データ変換等、第1実施形態で詳しく述べた一連のGA操作を行う。このGA操作部62内には、GA操作の制御を行う手段（例えば、図5の制御部24）として、一般的には、MCU、CPU、もしくは専用のDSP等が内蔵されている。メモリ部63は、GA操作を行う染色体データ、適応度判定の基準となる演算結果テーブル或いは操作プログラム等が格納されている。この格納された操作プログラムは、外部から変更が可能である。また、本実施形態では、当該メモリ

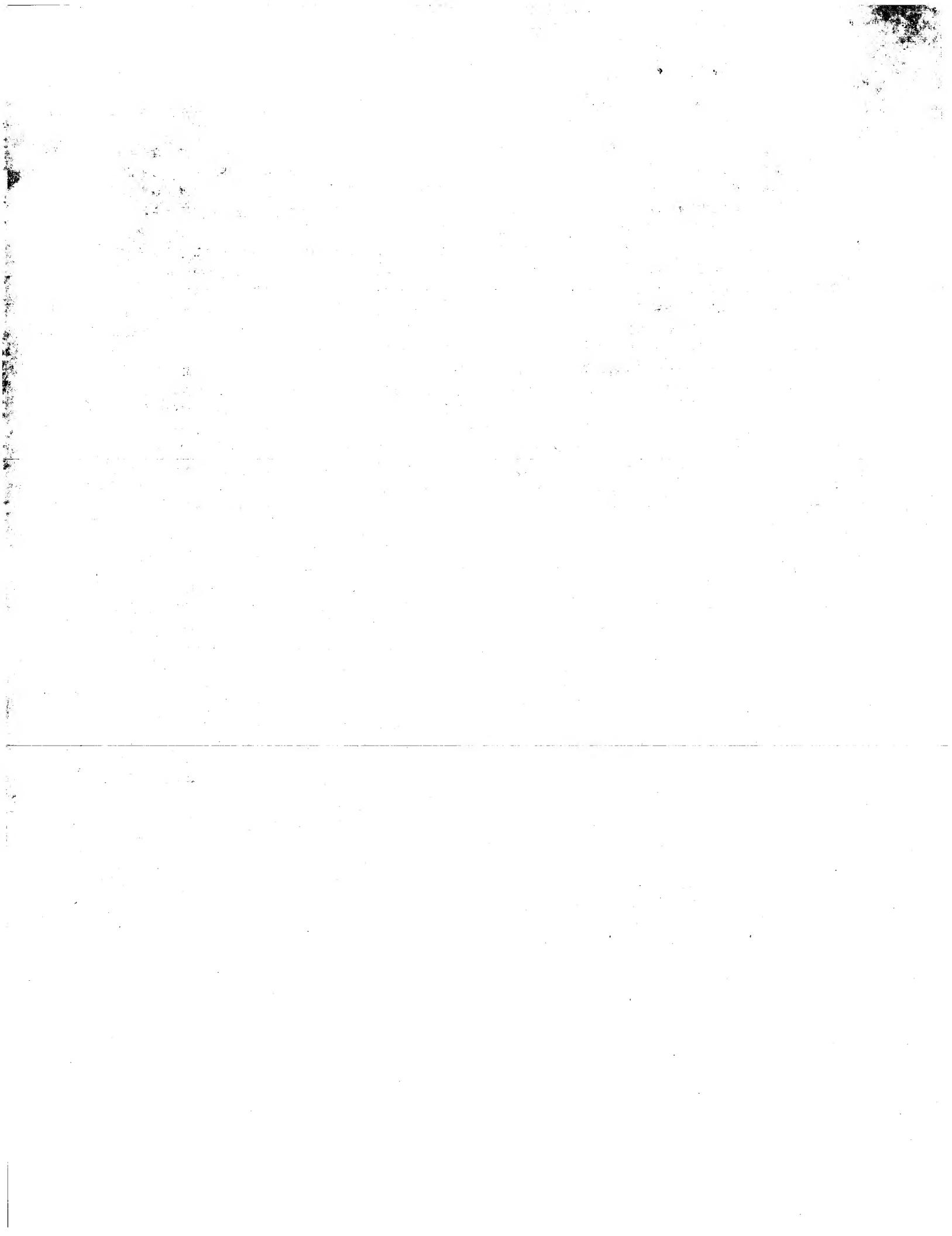
部63のメモリ領域のデータ書き換え、又は、進化ハードウェア部61内のνMOS或いは接続アレイの接続制御を行う記憶素子の書き換えを行うしきい電圧制御手段が、当該メモリ部63内に周辺回路として設けられている。

【0102】このメモリ部63を構成する記憶素子としてフラッシュメモリを用いるならば、νMOSのフローティングゲート構造、また接続アレイ内のスイッチに使用されるフラッシュメモリと同時に形成でき、製造コスト上有利となる。また、GA操作部62、メモリ部63の周辺回路等も、進化ハードウェア部61と同様にSH回路と接続アレイにより構築することが可能である。この場合、例えば、その論理を長期的にランダムに変更する、或いはGA操作部等を構成するSH回路の制御は、進化ハードウェア部以外のSH回路を、外部から操作することで達成できる。このとき、進化ハードウェア部61のみならず、IC全体が「進化するハードウェア」として機能し、進化的に機能を変化させていくことができるようになる。このようにIC全体が自律適応的に或いは学習性をもって進歩するものは、「進化する半導体チップ」ということができる。また、この半導体チップ内の進化操作に第5実施形態で示したアナログ動作を適用すれば、変化の自由度も無限になる。これは、半導体チップ全体が生命体のようにふるまうことを意味し、将来の「創造性をもつコンピュータ」、「生命体に近いシステム」を構築する中心的デバイスになり得るものである。

【0103】

【発明の効果】本発明の半導体装置及びその論理確定方法によれば、製造上或いは設計上のマージンが不足したり、環境変化があっても誤動作しない可変論理回路を実現できる。とくに、可変論理回路の論理関数確定を制御信号の生成と入力で行っているので、環境変化にリアルタイムで追従できる。この可変論理回路をいわゆるνMOSで構成させると、通常のフローティングゲートを有する不揮発性メモリ素子とのプロセス上の整合性がよく、回路構成が簡素となる。また、その可変論理回路を複数組み合わせることで、自己欠陥回避しながらの用途に応じて機能を変更する汎用ロジックICが実現できる。νMOS構成の可変論理回路（いわゆるSH回路）は、制御信号の入力で論理関数の変更ができるので機能変更が、従来の不揮発性メモリ素子へのプログラムで行う場合に比べ高速である。本発明の半導体装置では学習機能を付加し、更に信号を多値化することによって、使用する制御信号の構成（例えば、ビット数）や回路構成を簡素化しながら効率化を進め、自律的に高速動作することができる。このことによって、本発明の半導体装置は、上記した機能変更の高速性とあいまって機能をリアルタイムに拡大することができる。

【0104】従来のGA手法の適用例では、ある決まつ



たプログラム状態における機能を正確に動作させるためだけにGA手法が用いられていたのに対し、本発明の半導体装置の論理確定方法は、正常動作の確保に加え、機能自体の変更にGA手法が用いられている。また、求める解の発生確率を高める制御であることから最初に与える数値列（遺伝子）が簡素なほうが望ましいが、上記半導体装置を学習機能付加し多値化させると論理確定のサイクルが早まる。これらの意味で、遺伝的アルゴリズム操作における柔軟性、多様性が高い。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の要部を示す構成図である。

【図2】図1の半導体装置に用いられるNMOSの断面構造図とフローティングゲート電位の説明図である。

【図3】図1の半導体装置内に設けられた2入力可変しきい電圧インバータAの回路図である。

【図4】SH回路（図1内の論理回路）の入出力関係と、制御信号と出力の組み合わせを示す表である。

【図5】図1内のGA操作部の具体的構成例を示すブロック図である。

【図6】本発明の第1実施形態に係る半導体装置の論理確定の際に、1つのSH回路を用いて、遺伝的アルゴリズム（GA）により、SH回路の論理を確定していく手順を示すフロー図である。

【図7】本発明の第2実施形態に係る半導体装置において論理回路例としてマルチプレクサを示す図である。

【図8】図7のマルチプレクサの等価回路図である。

【図9】図7のSH回路の組み合わせのベースとなる配置パターンを、図7及び図8に示す6マルチプレクサ40を例に示す回路図である。

【図10】本発明の第3実施形態に係る半導体装置における2入力可変しきい電圧インバータの平面図と断面図である。

【図11】図10の2入力可変しきい電圧インバータに、そのしきい電圧制御手段を接続した状態を示す図である。

【図12】本発明の第6実施形態に係る半導体装置（1チップIC）の概略構成を示すブロック平面図である。

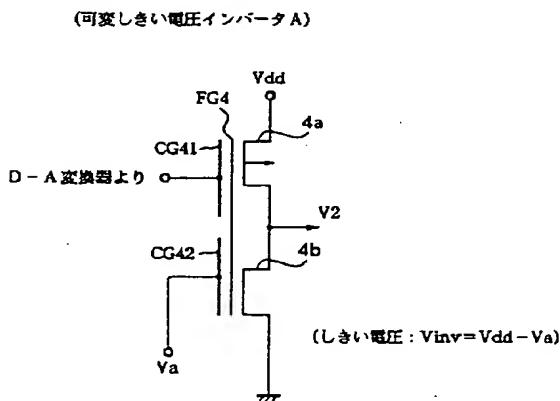
【図13】従来の遺伝的アルゴリズムの適用例としてPLDの構成を示す図である。

【符号の説明】

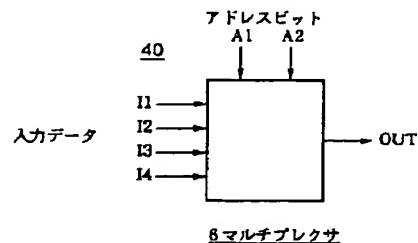
【符号の説明】

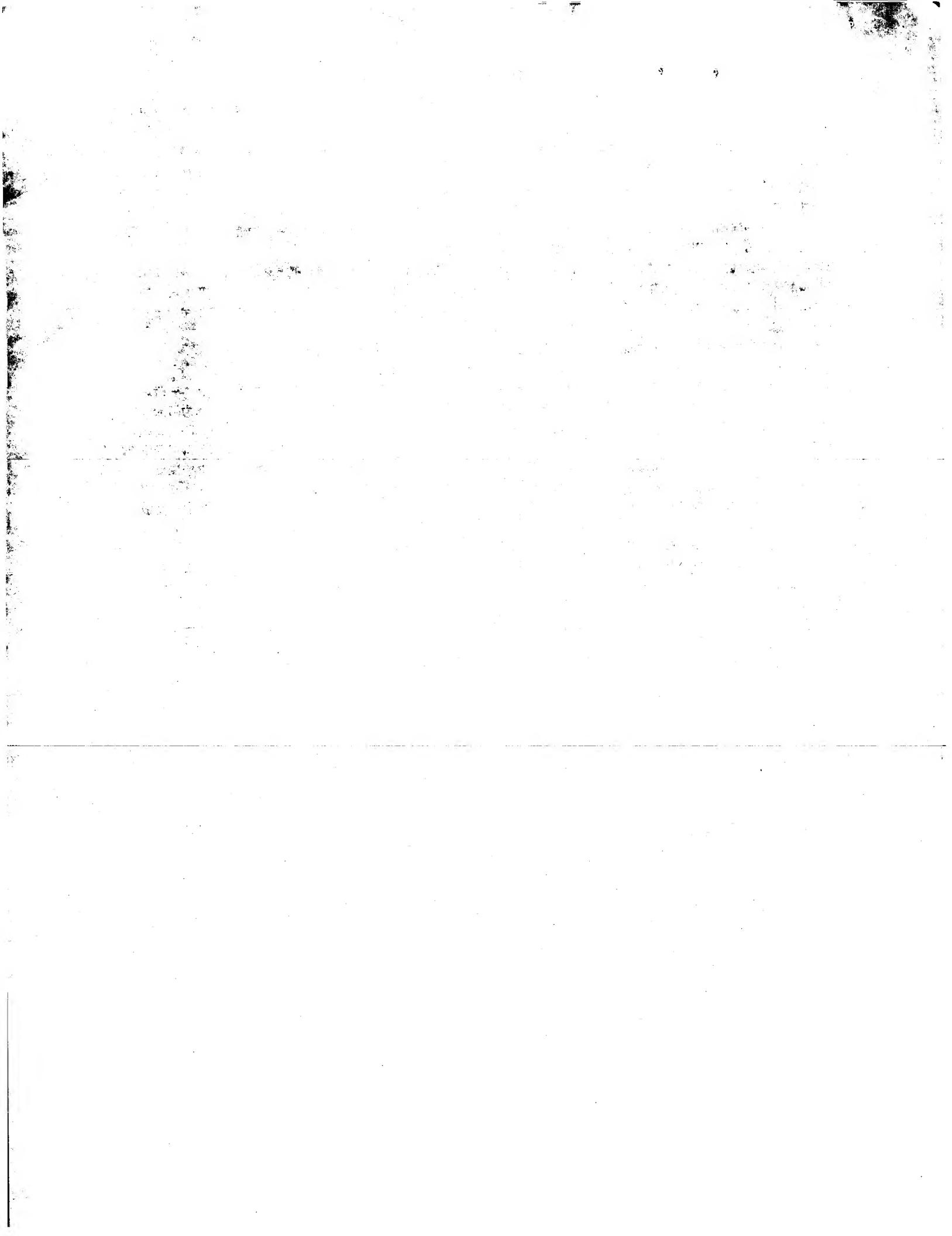
1, 60…半導体装置、2…入力変換部、4…確定信号生成部、6…可変演算部、8, 50…2入力可変しきい電圧インバータ、10…論理回路（SH回路）、12…インバータ、20, 62…GA操作部（制御信号生成部）、21…比較部、22…選択部、23…変更部、24…制御部、25…出力部、30, 63…メモリ部、40…6マルチプレクサ、51, 100…半導体基板、52…nウェル、53…素子分離絶縁膜、54n, 54p…ゲート絶縁膜、55, 56…ゲート間絶縁膜、57…しきい電圧制御手段、61…進化ハードウェア部、102…ドレイン不純物領域、104…ソース不純物領域、106…ゲート絶縁膜、108…ゲート間絶縁膜、FG…フローティングゲート、CG…コントロールゲート、Va～Vc…制御信号（又は所定の電圧レベルを有する制御電圧）、I1, I2…入力信号、D1～D4, Vout…出力信号、V1…変換後の入力信号、V2～V4…論理確定信号、S…適応度、 ϕ_f …フローティングゲート電位。

【図3】

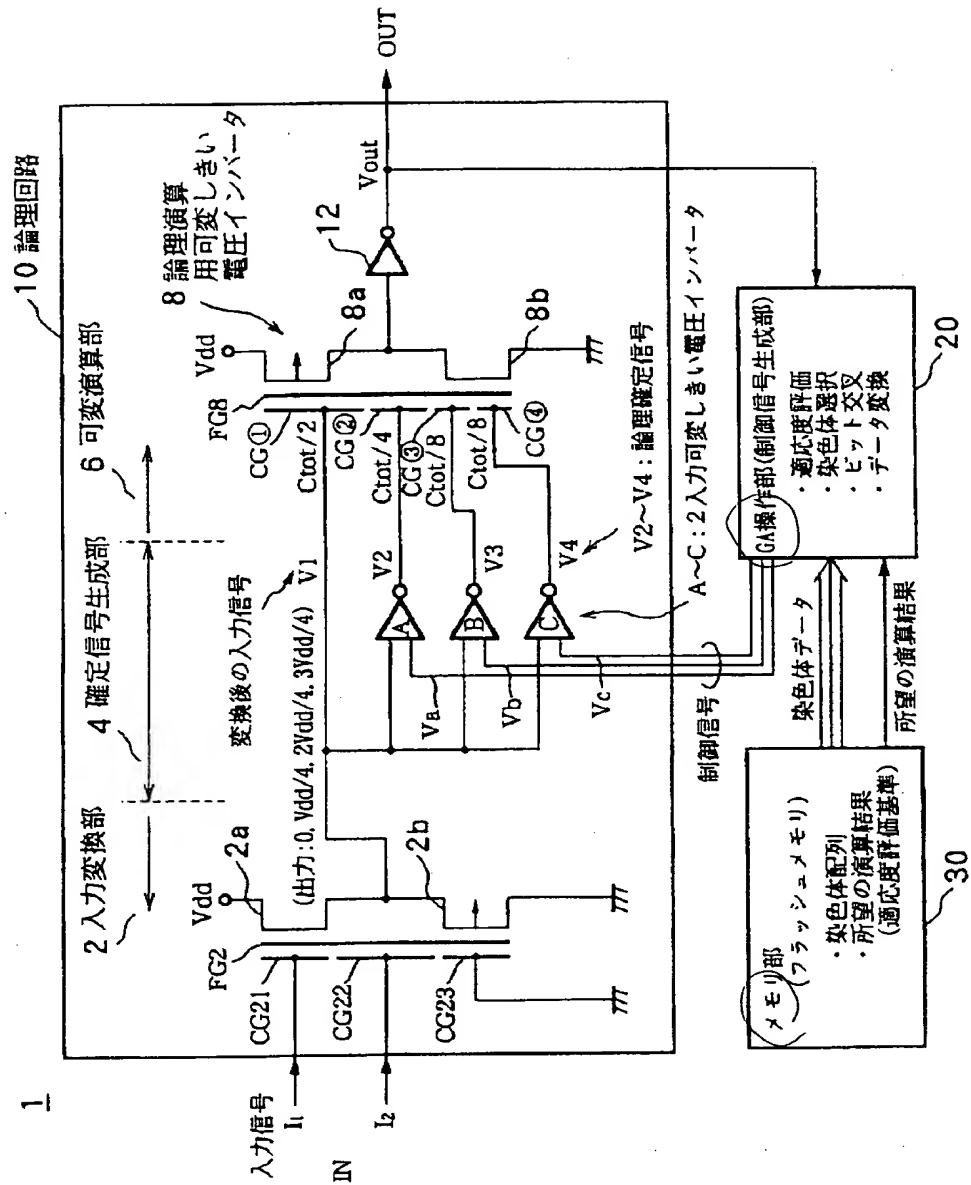


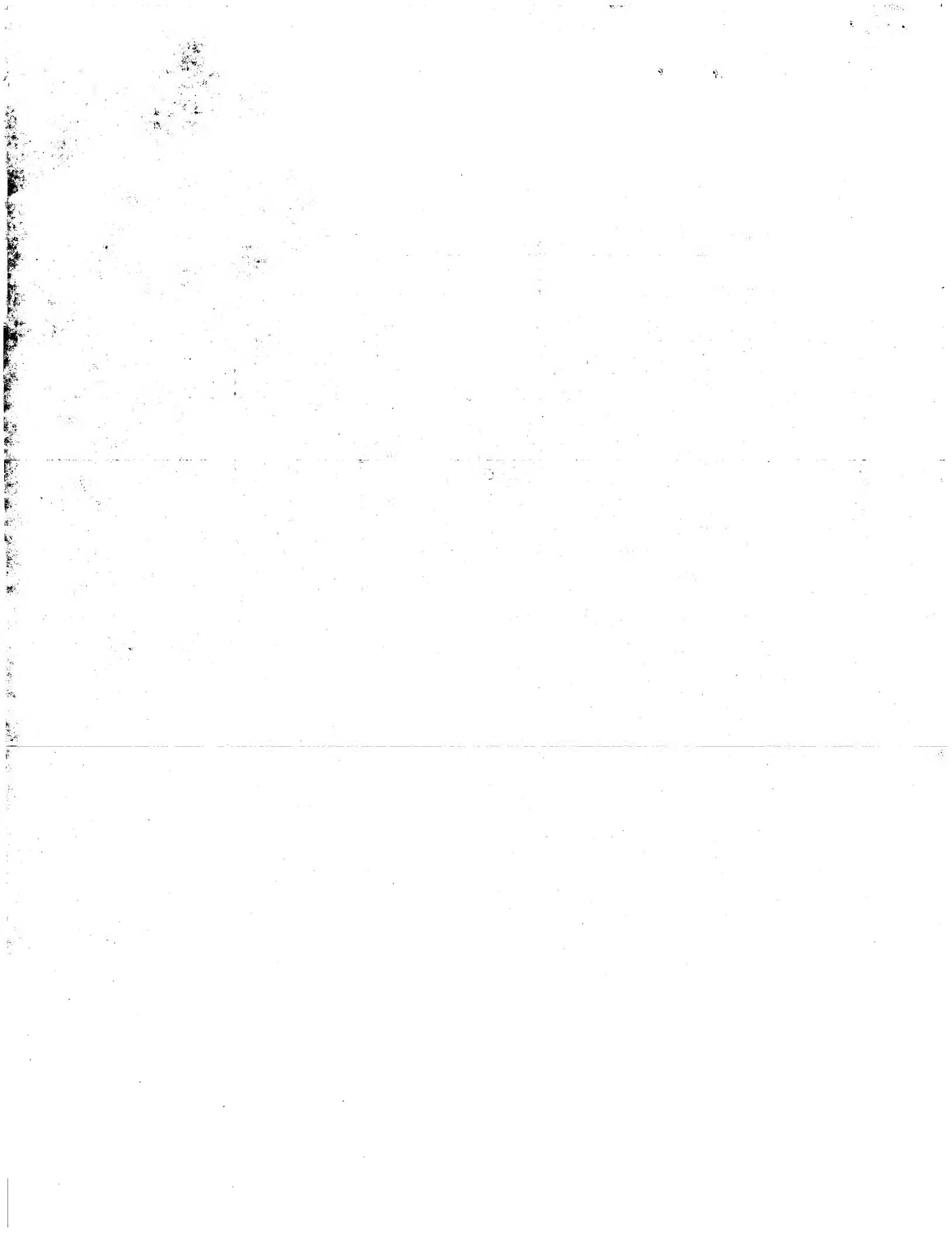
【図7】



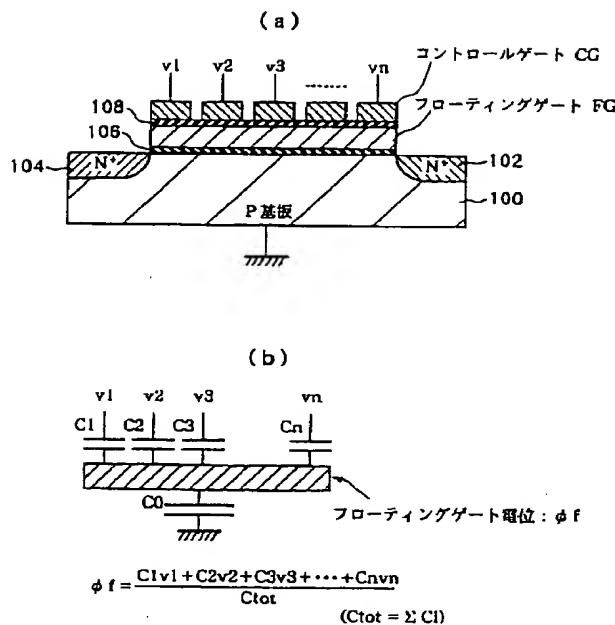


【図 1】

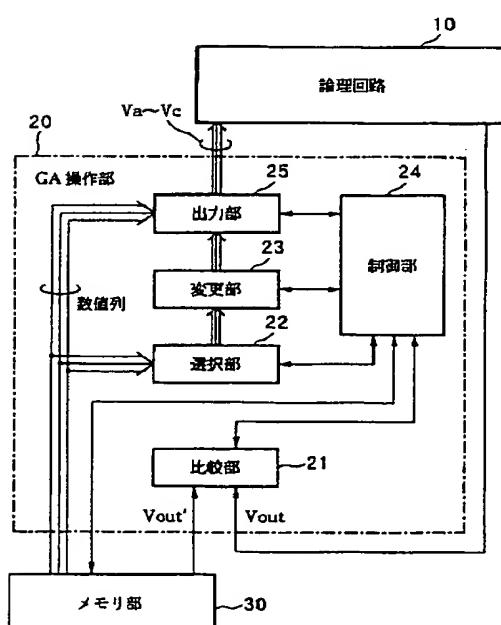




【図2】

v - MOSの構造

【図5】



【図4】

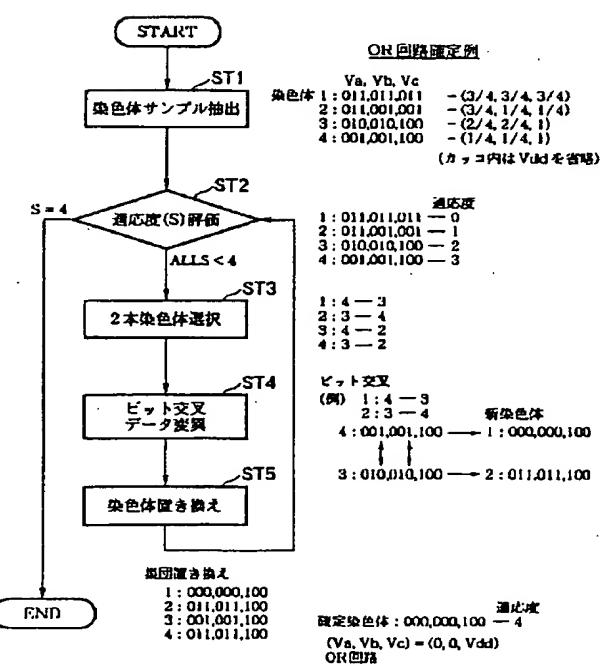
I_2	I_1	V_{out}
0	0	D1
0	1	D2
1	0	D3
1	1	D4

V_a	V_b	V_c	$D1$	$D2$	$D3$	$D4$	Logic
1	1	1	0	0	0	0	ALLO
1	1	0	0	0	0	1	AND
1	1/4	1/4	0	0	1	0	
1	0	0	0	0	1	1	
2/4	2/4	1	0	1	0	0	
2/4	0	1	0	1	0	1	
1/4	1/4	1	0	1	1	0	XOR
0	0	1	0	1	1	1	OR
3/4	3/4	3/4	1	0	0	0	NOR
3/4	3/4	0	1	0	0	1	XNOR
3/4	1/4	1/4	1	0	1	0	
3/4	0	0	1	0	1	1	
2/4	2/4	2/4	1	1	0	0	
2/4	2/4	0	1	1	0	1	
2/4	0	0	1	1	1	0	NAND
0	0	0	1	1	1	1	ALL1

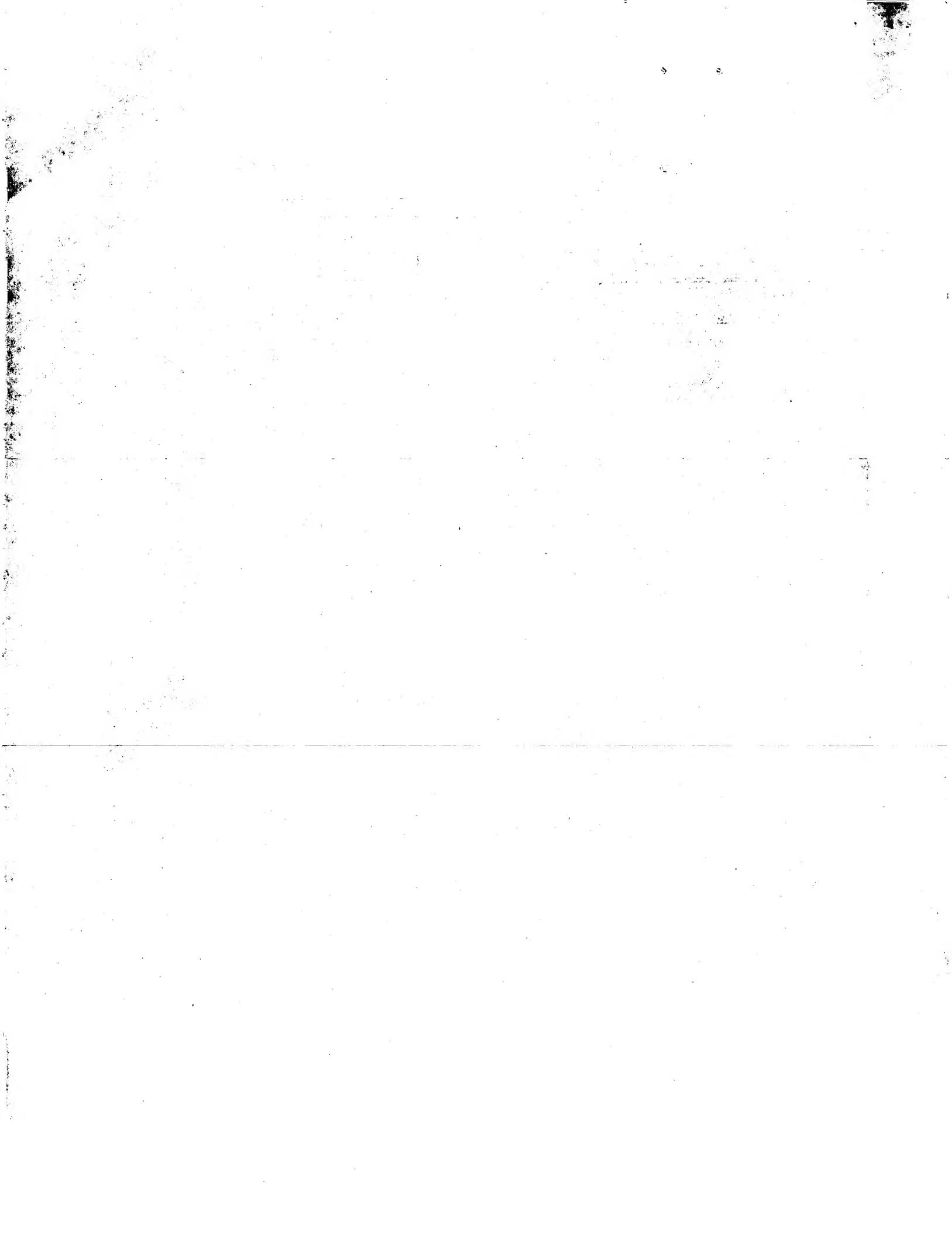
*) V_a, V_b, V_c の組み合わせは、 $5^3 = 125$ 通り存在するが、上記以外の組み合わせは、上記のブール関数に重複する。

SH回路真理値表

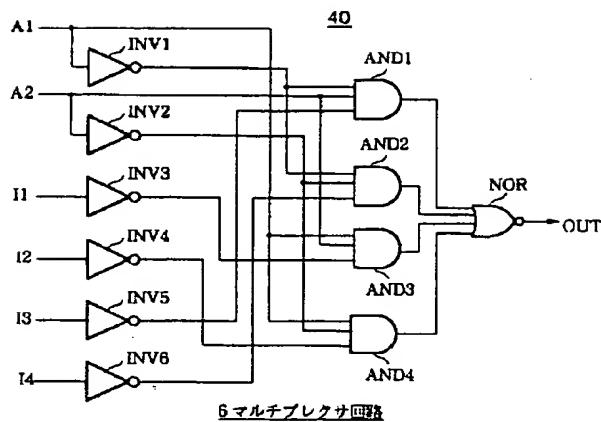
【図6】



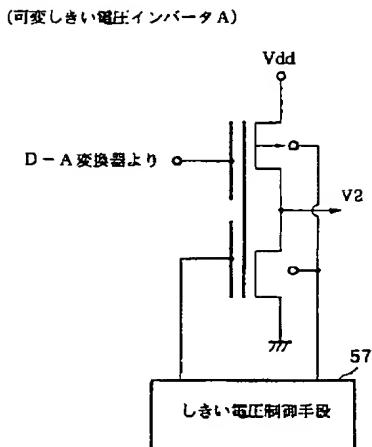
SI回路に対するGA適用手法



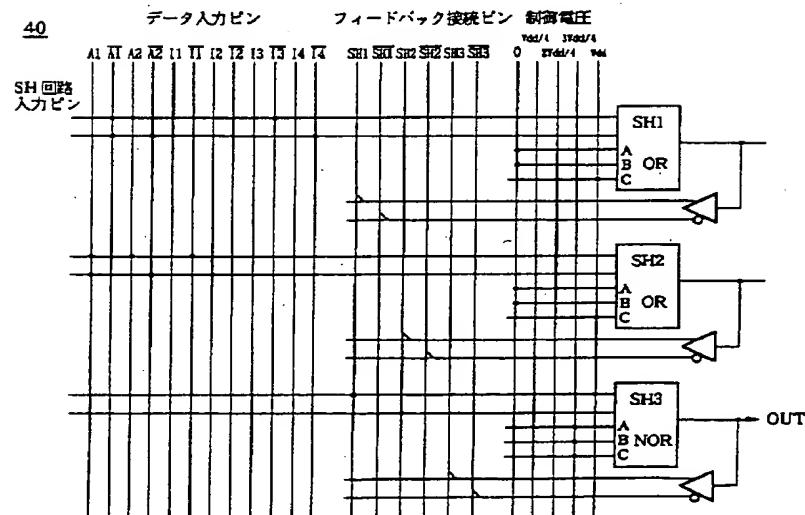
【図 8】

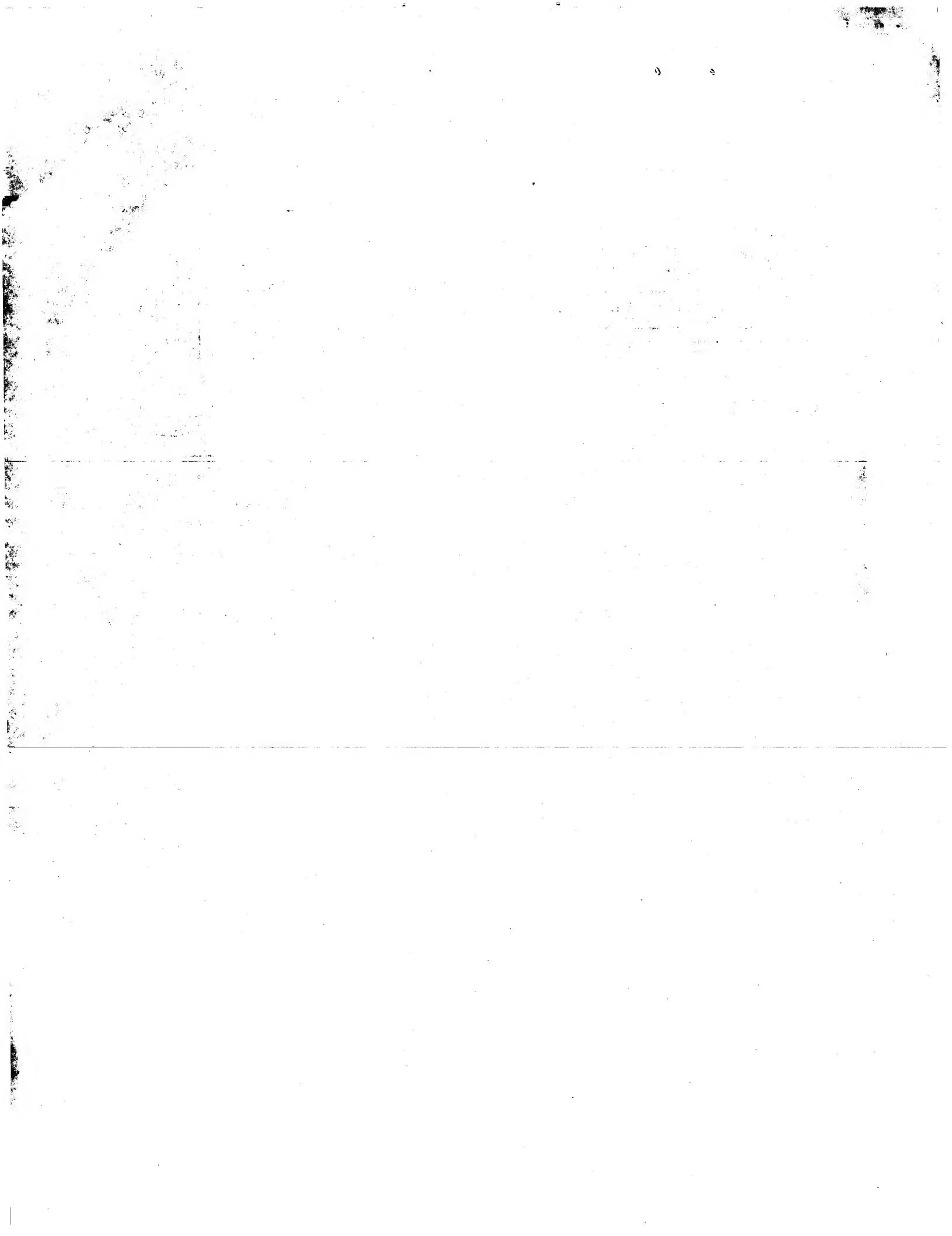


【図 11】

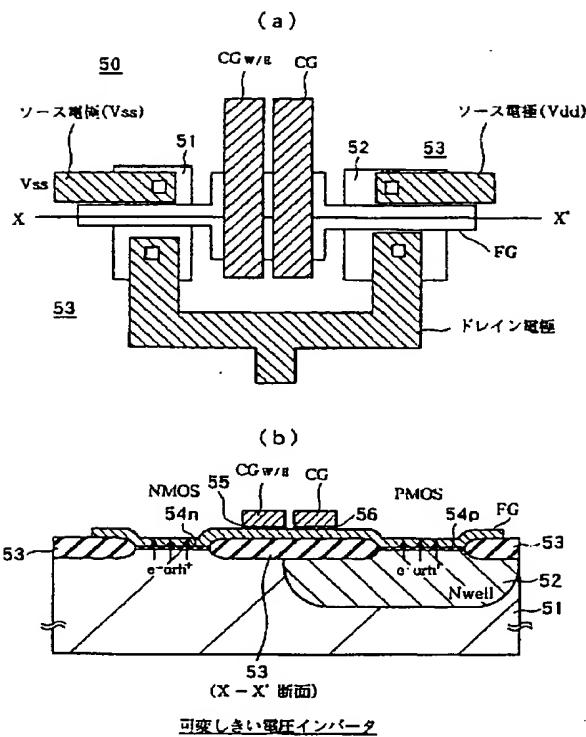


【図 9】

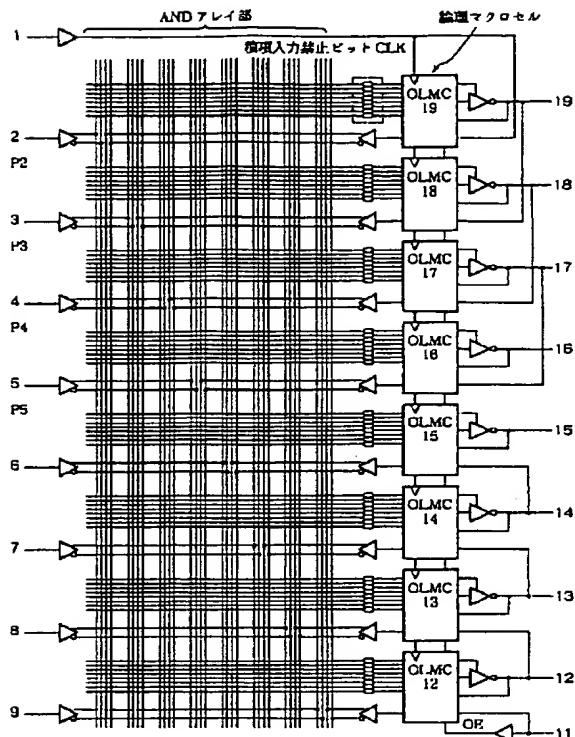


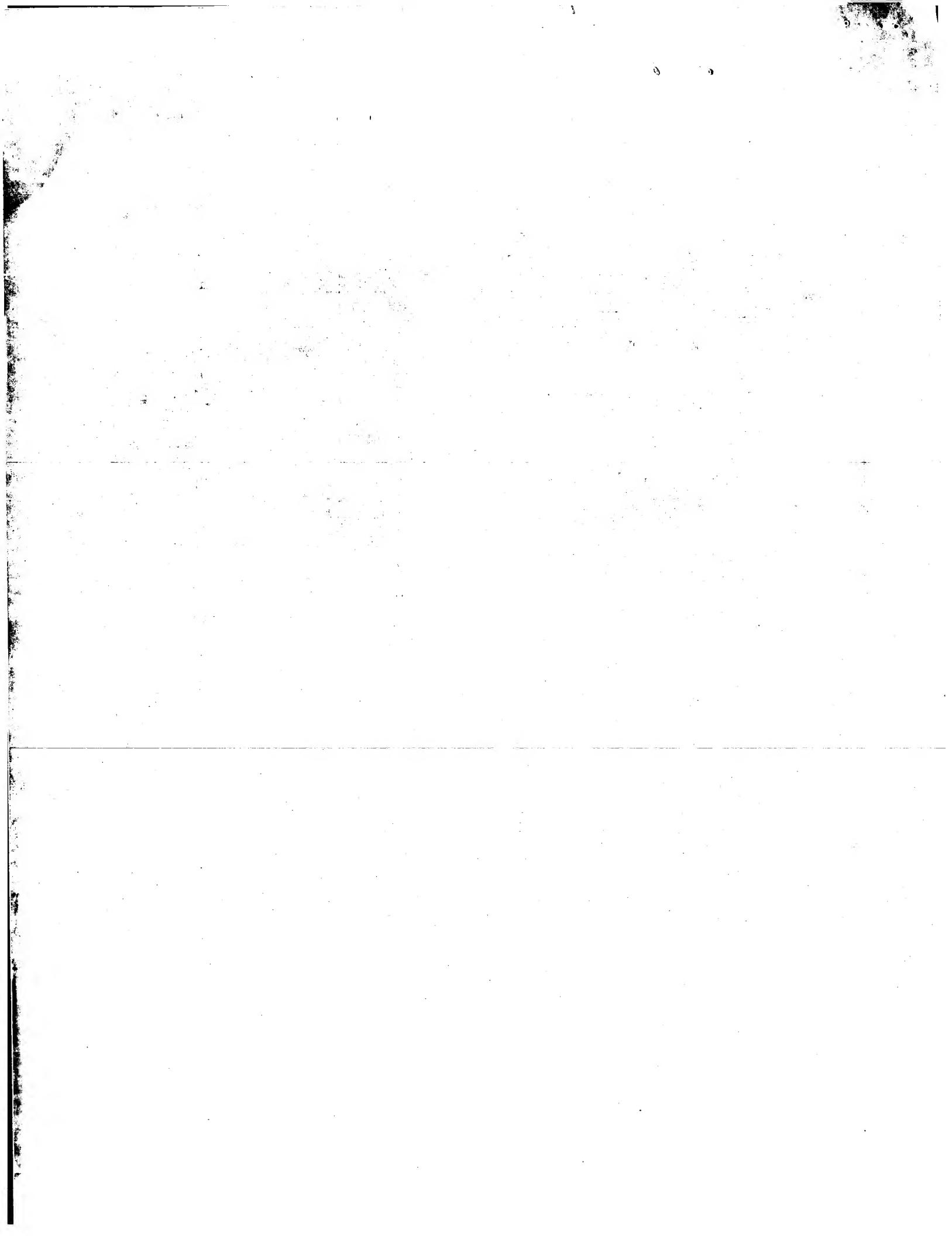


【図10】

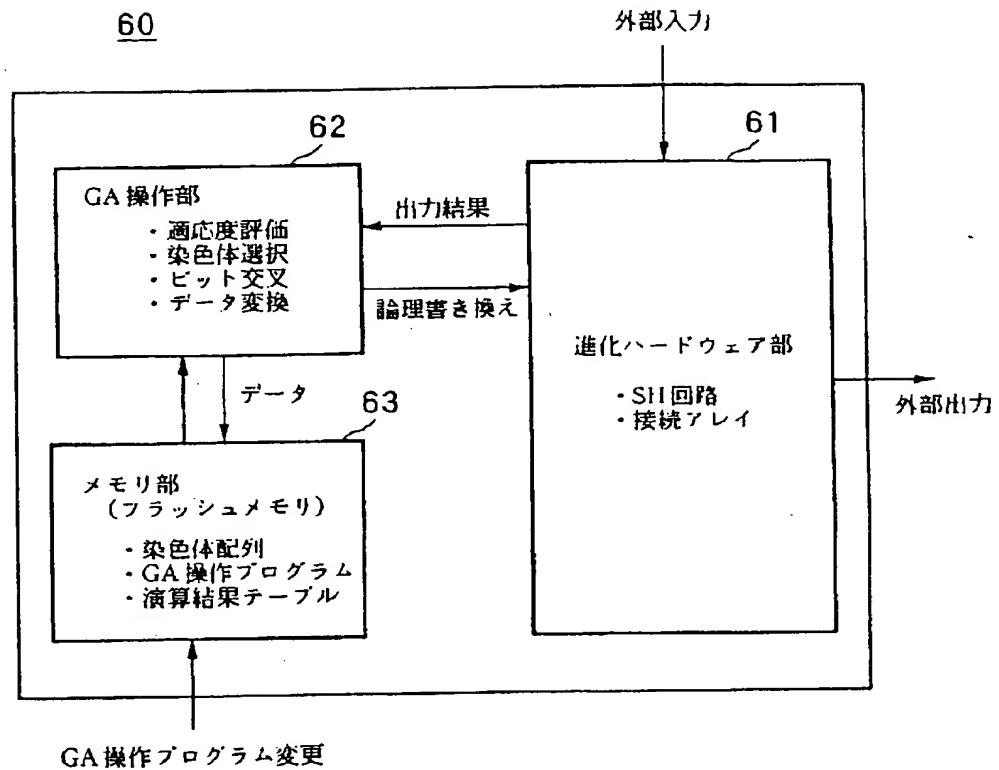


【図13】





【図12】

進化するハードウェアシステム

フロントページの続き

(51) Int. Cl. 6
 H 01 L 29/792
 H 03 K 19/20

識別記号

F I

